

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-237539

(43)Date of publication of application : 23.08.2002

(51)Int.Cl. H01L 21/8244
H01L 27/11

(21)Application number : 2001-296178 (71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 27.09.2001 (72)Inventor : ARAI KOJI

(30)Priority

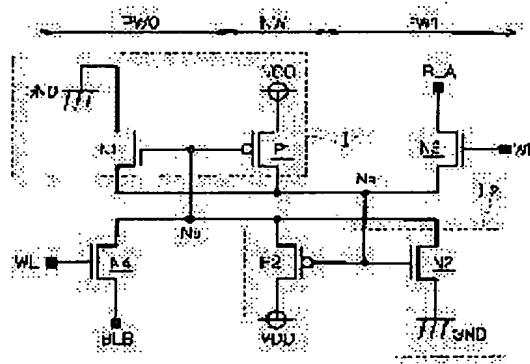
Priority number : 2000371153 Priority date : 06.12.2000 Priority country : JP

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor storage device which can reduce a soft error, without making a circuit constitution complex.

SOLUTION: An inverter I1 (whose output part is a storage terminal Na) by an NMOS transistor N1 and a PMOS transistor P1 and an inverter I2 (whose output part is a storage terminal Nb) by an NMOS transistor N2 and a PMOS transistor P2 are crossed and connected. An NMOS transistor N3 is connected to the storage terminal Na, and an NMOS transistor N4 is connected to the storage terminal Nb. The NMOS transistors N1, N3, whose electrodes on one side are connected to the storage terminal Na, are formed so as to be divided into a P-well region PW0 and a P-well region PW1. The NMOS transistors N2, N4, whose electrodes on one side are connected to the storage terminal Nb, are formed so as to be divided into the P-well region PW1 and the P-well region PW0. The P-well regions PW0, PW1 are formed on opposite sides, sandwiching an N-well region NW.



1, 2: CMOSインバータ
N1, N2: NMOSトランジスタ (ドライバトランジスタ)
N3, N4: NMOSトランジスタ (アクセストランジスタ)
P1, P2: PMOSトランジスタ (ドライバトランジスタ)
WL: ワーク線
BLA, BLB: フォトリソ

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-237539
(P2002-237539A)

(43)公開日 平成14年8月23日(2002.8.23)

(51)Int.Cl.

識別記号

F I

テマート(参考)

H 0 1 L 21/8244
27/11

H 0 1 L 27/10

3 8 1 5 F 0 8 3

審査請求 未請求 請求項の数15 O L (全 32 頁)

(21)出願番号 特願2001-296178(P2001-296178)

(22)出願日 平成13年9月27日(2001.9.27)

(31)優先権主張番号 特願2000-371153(P2000-371153)

(32)優先日 平成12年12月6日(2000.12.6)

(33)優先権主張国 日本 (J P)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 新居 浩二

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100089233

弁理士 吉田 茂明 (外2名)

Fターム(参考) 5F083 BS27 BS46 GA01 GA09 GA18

JA32 JA36 KA01 KA05 KA16

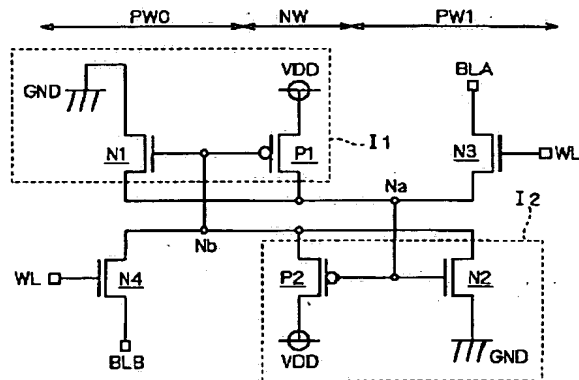
KA20 LA01 LA02

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 回路構成を複雑化することなくソフトエラー低減化を図ったメモリセル構造を有する半導体記憶装置を得る。

【解決手段】 NMOSトランジスタN1及びPMOSTランジスタP1によるインバータI1(出力部が記憶端子Na)とNMOSTランジスタN2及びPMOSTランジスタP2によるインバータI2(出力部が記憶端子Nb)とが交叉接続され、さらにNMOSTランジスタN3及びN4が記憶端子Na及びNbにそれぞれ接続される。記憶端子Naに一方電極が接続されるNMOSTランジスタN1及びN3はPウェル領域PW0及びPW1に分けて形成されるとともに、記憶端子Nbに一方電極が接続されるNMOSTランジスタN2及びN4はPウェル領域PW1及びPW0に分けて形成される。Pウェル領域PW0及びPW1はNウェル領域NWを挟んで各々反対側に形成される。



I1, I2: CMOSインバータ
N1, N2: NMOSTランジスタ (ドライバトランジスタ)
N3, N4: NMOSTランジスタ (アクセストランジスタ)
P1, P2: PMOSTランジスタ (ドライバトランジスタ)
WL: ワード線
BLA, BLB: ビット線

【特許請求の範囲】

【請求項1】 互いに交叉接続された第1及び第2のインバータを含むメモリセルを有する半導体記憶装置であって、

第1の導電型が第1種、第2の導電型が第2種でそれぞれ定義され、

前記第1のインバータは第1の第1種電界効果トランジスタ及び第1の第2種電界効果トランジスタからなり、
前記第2のインバータは第2の第1種電界効果トランジスタ及び第2の第2種電界効果トランジスタからなり、
前記第1のインバータの出力部は前記第1の第1種電界効果トランジスタの一方電極と前記第1の第2種電界効果トランジスタの一方電極との接続部を含み、入力部は前記第1の第1種電界効果トランジスタの制御電極と前記第1の第2種電界効果トランジスタの制御電極との接続部を含み、

前記第2のインバータの出力部は前記第2の第1種電界効果トランジスタの一方電極と前記第2の第2種電界効果トランジスタの一方電極との接続部を含み、入力部は前記第2の第1種電界効果トランジスタの制御電極と前記第2の第2種電界効果トランジスタの制御電極との接続部を含み、

前記メモリセルは、
前記第1のインバータの出力部及び前記第2のインバータの入力部に電氣的に接続される第1の記憶端子に一方電極が接続され、第1のビット線に他方電極が接続され、制御電極にワード線が接続される、第3の第1種電界効果トランジスタと、

前記第2のインバータの出力部及び前記第1のインバータの入力部に電氣的に接続される第2の記憶端子に一方電極が接続され、第2のビット線に他方電極が接続され、制御電極にワード線が接続される、第4の第1種電界効果トランジスタとをさらに含み、

前記第1及び第2の第1種電界効果トランジスタを、互いに独立した第1及び第2の第2種ウェル領域にそれぞれ形成し、

前記第3及び第4の第1種電界効果トランジスタを前記第2及び第1の第2種ウェル領域にそれぞれ形成したことを特徴とする、半導体記憶装置。

【請求項2】 請求項1記載の半導体記憶装置であって、

前記第1～第4の第1種電界効果トランジスタにおいて一方電極は互いに独立して形成されることを特徴とする、半導体記憶装置。

【請求項3】 請求項1記載の半導体記憶装置であって、

前記第1、第3の第1種電界効果トランジスタ及び前記第1の第2種電界効果トランジスタが前記ワード線形成方向に沿って略一直線上に並んでレイアウト配置され、前記第2、第4の第1種電界効果トランジスタ及び前記

第2の第2種電界効果トランジスタが前記ワード線形成方向に沿って略一直線上に並んでレイアウト配置されることを特徴とする、半導体記憶装置。

【請求項4】 請求項1記載の半導体記憶装置であって、

前記第1及び第2の第1種電界効果トランジスタは前記メモリセルの中心点に対して互いに点対称となるようにレイアウト配置されることを特徴とする、半導体記憶装置。

【請求項5】 請求項1記載の半導体記憶装置であって、

前記第3及び第4の第1種電界効果トランジスタは前記メモリセルの中心点に対して互いに点対称となるようにレイアウト配置されることを特徴とする、半導体記憶装置。

【請求項6】 請求項1記載の半導体記憶装置であって、

前記第1及び第2の第1種電界効果トランジスタの制御電極幅を前記第3及び第4の第1種電界効果トランジスタの制御電極幅より広く設定したことを特徴とする、半導体記憶装置。

【請求項7】 請求項1ないし請求項6のうち、いずれか1項に記載の半導体記憶装置であって、

前記メモリセルは、

前記第1のインバータの入力部と前記第2の記憶端子との間に介挿される第1の抵抗成分と、

前記第2のインバータの入力部と前記第1の記憶端子との間に介挿される第2の抵抗成分とをさらに含む、半導体記憶装置。

【請求項8】 請求項7記載の半導体記憶装置であって、

前記第1及び第2の抵抗成分はC o S i₂よりも抵抗率が高い金属材料で形成された高抵抗金属配線を含む、半導体記憶装置。

【請求項9】 請求項7記載の半導体記憶装置であって、

前記第1及び第2の抵抗成分はC o S i₂よりも抵抗率が高いポリシリコンで形成された高抵抗ポリシリコン配線を含む、半導体記憶装置。

【請求項10】 請求項1記載の半導体記憶装置であって、

前記第3及び第4の第1種電界効果トランジスタの制御電極及び前記ワード線は、一本のポリシリコンを共用して構成されることを特徴とする、半導体記憶装置。

【請求項11】 請求項1記載の半導体記憶装置であって、

前記ワード線は互いに独立した第1及び第2のワード線を含み、

前記第3の第1種電界効果トランジスタの制御電極は前記第1のワード線に接続され、

前記第4の第1種電界効果トランジスタの制御電極は前記第2のワード線に接続される、半導体記憶装置。

【請求項12】 請求項1記載の半導体記憶装置であって、

前記第1のビット線は、互いにビット線対を構成する第1及び第2の部分ビット線を含み、

前記第2のビット線は、互いにビット線対を構成する第3及び第4の部分ビット線を含み、

前記第3の第1種電界効果トランジスタは、第5及び第6の第1種電界効果トランジスタを含み、前記第5の第1種電界効果トランジスタは前記第1の部分ビット線、

前記第2の記憶端子間に介挿され、前記第6の第1種電界効果トランジスタは前記第2の部分ビット線、前記第1の記憶端子間に介挿され、

前記第4の第1種電界効果トランジスタは、第7及び第8の第1種電界効果トランジスタを含み、前記第7の第1種電界効果トランジスタは前記第3の部分ビット線、

前記第1の記憶端子間に介挿され、前記第8の第1種電界効果トランジスタは前記第4の部分ビット線、前記第2の記憶端子間に介挿される、半導体記憶装置。

【請求項13】 請求項12記載の半導体記憶装置であって、

前記第1及び第2の第1種電界効果トランジスタの制御電極幅を前記第5～第8の第1種電界効果トランジスタの制御電極幅より広く設定したことを特徴とする、半導体記憶装置。

【請求項14】 請求項1、請求項11あるいは請求項12記載の半導体記憶装置であって、

前記第1及び第2の第1種電界効果トランジスタの制御電極形成領域が前記第2及び第1の記憶端子の一部を構成するようにレイアウト配置したことを特徴とする、半導体記憶装置。

【請求項15】 請求項1ないし請求項14のうち、いずれか1項に記載の半導体記憶装置であって、

前記第1及び第2の第2種電界効果トランジスタは第1種ウェル領域に形成され、

前記第1種ウェル領域は前記第1及び第2の第2種ウェル領域の間にレイアウト配置されることを特徴とする、半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体記憶装置に関し、特にMOSスタティックRAMのソフトエラー耐性の向上を図ったメモリセル構造に関するものである。

【0002】

【従来の技術】メモリセルの微細化に伴い、パッケージから放出されるα線や宇宙からの中性子線により発生された電子に起因して記憶ノードで保持されているデータを反転させてしまうというソフトエラーの問題が顕在化してくる。特に電源電圧が低下するにつれて、その誤動

作は顕著に現れてくる。ソフトエラーの低減を目的に様々な試みがなされている。

【0003】図37は、例えば特許公報第2589949号に開示されたSRAMメモリセルと等価な構造を示す回路図である。同図に示すように、メモリセル100をPMOSTランジスタPT1、PT2及びNMOSTランジスタNT5～NT8、NT11、NT12、NT21、NT22から構成される。

【0004】PMOSTランジスタPT1、PT2のソースは共通に電源電圧Vccに接続され、PMOSTランジスタPT1のドレインはノード101を介してPMOSTランジスタPT2のゲート及びNMOSTランジスタNT21、NT22のゲートに接続され、PMOSTランジスタPT2のドレインはノード111を介してPMOSTランジスタPT1のゲート及びNMOSTランジスタNT11、NT12のゲートに接続される。

【0005】NMOSTランジスタNT11、NT12のソースは共に接地（GND）され、NMOSTランジスタNT11のドレインはノード101を介してPMOSTランジスタPT1のドレインに接続され、NMOSTランジスタNT12のドレインはノード101及び102を介してPMOSTランジスタPT1のドレインに接続される。

【0006】NMOSTランジスタNT21、NT22のソースは共に接地され、NMOSTランジスタNT21のドレインはノード111を介してPMOSTランジスタPT2のドレインに接続され、NMOSTランジスタNT22のドレインはノード111及び112を介してPMOSTランジスタPT2のドレインに接続される。

【0007】NMOSTランジスタNT5はビット線BL50、ノード101間に介挿され、ゲートがワード線WL50に接続される。NMOSTランジスタNT6はビット線BL60、ノード101間に介挿され、ゲートがワード線WL60に接続される。NMOSTランジスタNT7はビット線BL51、ノード111間に介挿され、ゲートがワード線WL50に接続される。NMOSTランジスタNT8はビット線BL61、ノード111間に介挿され、ゲートがワード線WL60に接続される。

【0008】このような構成において、ビット線対BL50、BL51あるいはビット線対BL60、BL61より得られるデータを、ワード線WL50あるいはワード線WL60を活性状態にして、NMOSTランジスタNT5、NT6あるいはNMOSTランジスタNT6、NT8をオン状態させることにより、記憶ノードであるノード101及びノード111にアクセスすることができる。

【0009】上記構成では、通常、1つのNMOSTランジスタで構成するNMOSTドライブトランジスタを、

10

20

30

40

50

2つのNMOSトランジスタ(NT11とNT12とに分けるとともにNT21とNT22とに分ける)に分けている。

【0010】そして、PMOSTランジスタPT1(PT2)のドレインである記憶ノードをノード101(111)とノード102(112)とに分割すべく、NMOSTランジスタNT11(NT21)とNMOSTランジスタNT12(NT22)とを、PMOSTランジスタPT1が形成されるNウェル領域を挟んで互いに反対側に形成している。

【0011】したがって、上記Nウェル領域は、その片側に衝突するエネルギー粒子によって生成された電子またはホールが、上記Nウェル領域の反対側の空乏領域に影響を及ぼすことを防ぐことにより、ソフトエラーの発生率を低下させることができる。

【0012】

【発明が解決しようとする課題】しかしながら、上記SRAMメモリセルにおいてもソフトエラー低減が十分ではなく、また、本来1個で構成可能なドライバトランジスタを2個で構成しているため回路構成が複雑化するという問題点があった。

【0013】この発明は上記問題点を解決するためになされたもので、回路構成を複雑化することなくソフトエラー低減化を図ったメモリセル構造を有する半導体記憶装置を得ることを目的とする。

【0014】

【課題を解決するための手段】この発明に係る請求項1記載の半導体記憶装置は、互いに交叉接続された第1及び第2のインバータを含むメモリセルを有し、第1の導電型が第1種、第2の導電型が第2種でそれぞれ定義され、前記第1のインバータは第1の第1種電界効果トランジスタ及び第1の第2種電界効果トランジスタからなり、前記第2のインバータは第2の第1種電界効果トランジスタ及び第2の第2種電界効果トランジスタからなり、前記第1のインバータの出力部は前記第1の第1種電界効果トランジスタの一方電極と前記第1の第2種電界効果トランジスタの一方電極との接続部を含み、入力部は前記第1の第1種電界効果トランジスタの制御電極と前記第1の第2種電界効果トランジスタの制御電極との接続部を含み、前記第2のインバータの出力部は前記第2の第1種電界効果トランジスタの一方電極と前記第2の第2種電界効果トランジスタの一方電極との接続部を含み、入力部は前記第2の第1種電界効果トランジスタの制御電極と前記第2の第2種電界効果トランジスタの制御電極との接続部を含み、前記メモリセルは、前記第1のインバータの出力部及び前記第2のインバータの入力部に電気的に接続される第1の記憶端子に一方電極が接続され、第1のビット線に他方電極が接続され、制御電極にワード線が接続される、第3の第1種電界効果トランジスタと、前記第2のインバータの出力部及び前

記第1のインバータの入力部に電気的に接続される第2の記憶端子に一方電極が接続され、第2のビット線に他方電極が接続され、制御電極にワード線が接続される、第4の第1種電界効果トランジスタとをさらに含み、前記第1及び第2の第1種電界効果トランジスタを、互いに独立した第1及び第2の第2種ウェル領域にそれぞれ形成し、前記第3及び第4の第1種電界効果トランジスタを前記第2及び第1の第2種ウェル領域にそれぞれ形成している。

10 【0015】また、請求項2の発明は、請求項1記載の半導体記憶装置であって、前記第1～第4の第1種電界効果トランジスタにおいて一方電極は互いに独立して形成される。

【0016】また、請求項3の発明は、請求項1記載の半導体記憶装置であって、前記第1、第3の第1種電界効果トランジスタ及び前記第1の第2種電界効果トランジスタが前記ワード線形成方向に沿って略一直線上に並んでレイアウト配置され、前記第2、第4の第1種電界効果トランジスタ及び前記第2の第2種電界効果トランジスタが前記ワード線形成方向に沿って略一直線上に並んでレイアウト配置される。

【0017】また、請求項4の発明は、請求項1記載の半導体記憶装置であって、前記第1及び第2の第1種電界効果トランジスタは前記メモリセルの中心点に対して互いに点対称となるようにレイアウト配置される。

【0018】また、請求項5の発明は、請求項1記載の半導体記憶装置であって、前記第3及び第4の第1種電界効果トランジスタは前記メモリセルの中心点に対して互いに点対称となるようにレイアウト配置される。

30 【0019】また、請求項6の発明は、請求項1記載の半導体記憶装置であって、前記第1及び第2の第1種電界効果トランジスタの制御電極幅を前記第3及び第4の第1種電界効果トランジスタの制御電極幅より広く設定している。

【0020】また、請求項7の発明は、請求項1ないし請求項6のうち、いずれか1項に記載の半導体記憶装置であって、前記メモリセルは、前記第1のインバータの入力部と前記第2の記憶端子との間に介挿される第1の抵抗成分と、前記第2のインバータの入力部と前記第1の記憶端子との間に介挿される第2の抵抗成分とをさらに含む。

【0021】また、請求項8の発明は、請求項7記載の半導体記憶装置であって、前記第1及び第2の抵抗成分は CoSi_2 よりも抵抗率が高い金属材料で形成された高抵抗金属配線を含む。

【0022】また、請求項9の発明は、請求項7記載の半導体記憶装置であって、前記第1及び第2の抵抗成分は CoSi_2 よりも抵抗率が高いポリシリコンで形成された高抵抗ポリシリコン配線を含む。

50 【0023】また、請求項10の発明は、請求項1記載

の半導体記憶装置であって、前記第3及び第4の第1種電界効果トランジスタの制御電極及び前記ワード線は、一本のポリシリコンを共用して構成される。

【0024】また、請求項11の発明は、請求項1記載の半導体記憶装置であって、前記ワード線は互いに独立した第1及び第2のワード線を含み、前記第3の第1種電界効果トランジスタの制御電極は前記第1のワード線に接続され、前記第4の第1種電界効果トランジスタの制御電極は前記第2のワード線に接続される。

【0025】また、請求項12の発明は、請求項11記載の半導体記憶装置であって、前記第1のビット線は、互いにビット線対を構成する第1及び第2の部分ビット線を含み、前記第2のビット線は、互いにビット線対を構成する第3及び第4の部分ビット線を含み、前記第3の第1種電界効果トランジスタは、第5及び第6の第1種電界効果トランジスタを含み、前記第5の第1種電界効果トランジスタは前記第1の部分ビット線、前記第2の記憶端子間に介挿され、前記第6の第1種電界効果トランジスタは前記第2の部分ビット線、前記第1の記憶端子間に介挿され、前記第4の第1種電界効果トランジスタは、第7及び第8の第1種電界効果トランジスタを含み、前記第7の第1種電界効果トランジスタは前記第3の部分ビット線、前記第1の記憶端子間に介挿され、前記第8の第1種電界効果トランジスタは前記第4の部分ビット線、前記第2の記憶端子間に介挿される。

【0026】また、請求項13の発明は、請求項12記載の半導体記憶装置であって、前記第1及び第2の第1種電界効果トランジスタの制御電極幅を前記第5～第8の第1種電界効果トランジスタの制御電極幅より広く設定している。

【0027】また、請求項14の発明は、請求項1、請求項11あるいは請求項12記載の半導体記憶装置であって、前記第1及び第2の第1種電界効果トランジスタの制御電極形成領域が前記第2及び第1の記憶端子の一部を構成するようにレイアウト配置している。

【0028】さらに、請求項15の発明は、請求項1ないし請求項14のうち、いずれか1項に記載の半導体記憶装置であって、前記第1及び第2の第2種電界効果トランジスタは第1種ウェル領域に形成され、前記第1種ウェル領域は前記第1及び第2の第2種ウェル領域の間にレイアウト配置される。

【0029】

【発明の実施の形態】<実施の形態1>図1～図4はこの発明の実施の形態1であるSRAMのメモリセル構造を示す図である。図1は全層におけるレイアウト構成を平面視した説明図である。図2は主として図1の第1アルミ配線層下のレイアウト構成を平面視した説明図である。図3は主として図1の第2アルミ配線層上のレイアウト構成を平面視した説明図である。なお、図2、図3で示した符号の一部を図1では省略している場合があ

る。

【0030】また、図4は図1～図3で示したレイアウト構成のSRAMメモリセルの等価回路を示す回路図である。同図に示すように、実施の形態1のSRAMのメモリセルは、NMOSTランジスタN1～N4及びPMOSTランジスタP1、P2から構成される。

【0031】ドライバトランジスタであるPMOSTランジスタP1、P2はNウェル領域NW内に形成され、ドライバトランジスタであるNMOSTランジスタN1とアクセストランジスタであるNMOSTランジスタN4とはPウェル領域PW0内に形成され、ドライバトランジスタであるNMOSTランジスタN2とアクセストランジスタであるNMOSTランジスタN3とはPウェル領域PW1内に形成される。Pウェル領域PW0とPウェル領域PW1とはNウェル領域NWを挟んで各々反対側に形成される。

【0032】NMOSTランジスタN1及びPMOSTランジスタP1により第1のCMOSインバータI1を構成する。すなわち、PMOSTランジスタP1及びNMOSTランジスタN1のゲートは共通に記憶端子Nbに接続され、ドレインは共通に記憶端子Naに接続される。そして、PMOSTランジスタP1のソースは電源電圧Vddに接続され、NMOSTランジスタN1のソースは接地(GND)される。

【0033】NMOSTランジスタN2及びPMOSTランジスタP2により第2のCMOSインバータI2を構成する。すなわち、PMOSTランジスタP2及びNMOSTランジスタN2のゲートは共通に記憶端子Naに接続され、ドレインは共通に記憶端子Nbに接続される。そして、PMOSTランジスタP2のソースは電源電圧Vddに接続され、NMOSTランジスタN2のソースは接地される。

【0034】このように、インバータI1の出力部及びインバータI2の入力部が記憶端子Naに電気的に接続され、インバータI1の入力部及びインバータI2の出力部が記憶端子Nbに電気的に接続されることにより、CMOSインバータI1、I2が互いに交叉接続され、記憶端子Na及び記憶端子Nbに互いに反転した論理レベルの情報を記憶することができる。

【0035】NMOSTランジスタN3はビット線BLA、記憶端子Na間に介挿され、ゲートがワード線WLに接続される。NMOSTランジスタN4はビット線BLB、記憶端子Nb間に介挿されゲートがワード線WLに接続される。

【0036】このような構成において、ビット線BLAあるいはビット線BLBより得られるデータを、ワード線WLを活性状態にして、NMOSTランジスタN3、N4をオン状態させることにより、記憶端子Na及び記憶端子Nbに対するアクセス(読み出しあるいは書き込み)が可能となる。

【0037】以下、図1～図3を参照して、実施の形態1のメモリセル構造について述べる。

【0038】Nウェル領域NW内において、P⁺拡散領域FL110、FL111及びポリシリコン配線PL1によりPMOSTランジスタP1を構成し、P⁺拡散領域FL120、FL121及びポリシリコン配線PL2によりPMOSTランジスタP2を構成する。

【0039】Pウェル領域PW0内において、N⁺拡散領域FL210、FL211及びポリシリコン配線PL1によりNMOSTランジスタN1を構成し、N⁺拡散領域FL240、FL241及びポリシリコン配線PL4によってNMOSTランジスタN4を構成する。なお、ポリシリコン配線PL1はNウェル領域NWからPウェル領域PW0にかけて形成されることにより、NMOSTランジスタN1及びPMOSTランジスタP1のゲートとして共有される。

【0040】Pウェル領域PW1内において、N⁺拡散領域FL220、FL221及びポリシリコン配線PL2によりNMOSTランジスタN2を構成し、N⁺拡散領域FL230、FL231及びポリシリコン配線PL3によってNMOSTランジスタN3を構成する。なお、ポリシリコン配線PL2はNウェル領域NWからPウェル領域PW1にかけて形成されることにより、NMOSTランジスタN2及びPMOSTランジスタP2のゲートとして共有される。

【0041】上記した拡散領域FL110、FL111、FL120、FL121、FL210、FL211、FL220、FL221、FL230、FL231、FL240、FL241は不純物を注入、拡散することにより得られる。

【0042】拡散領域FL210上のグラウンド配線LG1（第1層アルミ配線）は拡散コンタクトホール1Cを介して拡散領域FL210と電気的に接続され、拡散領域FL211上から拡散領域FL111上及び拡散領域FL231上に伸びて形成される第1層アルミ配線であるアルミ配線AL11は、各拡散領域FL211、FL111、及びFL231それぞれと拡散コンタクトホール1Cを介して電気的に接続される。さらに、アルミ配線AL11はポリシリコン配線PL2の一部上にも形成されており、ゲートコンタクトホールGCを介してポリシリコン配線PL2に電気的に接続される。このアルミ配線AL11は電気的に低インピーダンスな接続が可能であり、記憶端子Naに相当する。

【0043】なお、拡散コンタクトホール1Cは拡散領域と第1層（アルミ）配線とのコンタクトホールを意味し、ゲートコンタクトホールGCはポリシリコン配線と第1層配線とのコンタクトホールを意味する。

【0044】ポリシリコン配線PL4はゲートコンタクトホールGCを介して、ワード線WL1（第1層アルミ配線）に電気的に接続され、拡散領域FL241上のビ

ット線BLB1（第1層アルミ配線）は拡散コンタクトホール1Cを介して拡散領域FL241と電気的に接続される。

【0045】拡散領域FL240上から拡散領域FL120上及び拡散領域FL220上に伸びて形成される第1層アルミ配線であるアルミ配線AL12は、各拡散領域FL240、FL120、及びFL220それぞれと拡散コンタクトホール1Cを介して電気的に接続される。さらに、アルミ配線AL12はポリシリコン配線PL1の一部上にも形成されており、ゲートコンタクトホールGCを介してポリシリコン配線PL1に電気的に接続される。このアルミ配線AL12は電気的に低インピーダンスな接続が可能であり、記憶端子Nbに相当する。

【0046】拡散領域FL110上の電源配線LV1（第1層アルミ配線）は拡散コンタクトホール1Cを介して拡散領域FL110と電気的に接続され、拡散領域FL121上の電源配線LV1は拡散コンタクトホール1Cを介して拡散領域FL121と電気的に接続される。

【0047】拡散領域FL230上のビット線BLA1（第1層アルミ配線）は拡散コンタクトホール1Cを介して拡散領域FL230と電気的に接続され、ポリシリコン配線PL3上のワード線WL1はゲートコンタクトホールGCを介してポリシリコン配線PL3と電気的に接続される。拡散領域FL221上のグラウンド配線LG1は拡散コンタクトホール1Cを介して拡散領域FL221と電気的に接続される。

【0048】グラウンド配線LG1はビアホール1Tを介してグラウンド配線LG2（第2層アルミ配線（2AL））と電気的に接続され、グラウンド配線LG2はビアホール2Tを介してグラウンド配線LG3（第3層アルミ配線（3AL））と電気的に接続される。

【0049】ワード線WL1はビアホール1Tを介してワード線WL2（第2層アルミ配線）と電気的に接続され、ワード線WL2はビアホール2Tを介してワード線WL3（第3層アルミ配線）と電気的に接続される。これらワード線WL1～ワード線WL3によって図4のワード線WLを構成する。

【0050】なお、ビアホール1Tは第1層配線、第2層（アルミ）配線間の接続用、ビアホール2Tは第2層配線、第3層（アルミ）配線間の接続用のビアホールを意味する。

【0051】ワード線WL3及びグラウンド配線LG3はPウェル領域PW0、PW1及びNウェル領域NWを横断して互いに並行に形成され、グラウンド配線LG3はワード線WL3を挟んで2本形成される。

【0052】ビット線BLA2（第2層アルミ配線）はビアホール1Tを介してビット線BLA1（図3では図示せず）と電気的に接続され、ビット線BLB2（第2

10

20

30

40

50

11

層アルミ配線)はビアホール1Tを介してビット線BLB1(図3では図示せず)と電気的に接続される。電源配線LV2(第2層アルミ配線)はビアホール1Tを介して電源配線LV1(図3では図示せず)と電気的に接続される。これらビット線BLA1、BLA2及びBLB1、BLB2によってそれぞれ図4のビット線BLA及びBLBを構成する。

【0053】ビット線BLA2、BLB2及び電源配線LV2は、それぞれPウェル領域PW1、PW0及びNウェル領域NW上を図中縦方向に互いに並行して形成される。

【0054】このように、実施の形態1のSRAMのメモリセル構造は、NMOSTランジスタN1、N4を一方のPウェル領域PW0内に形成し、NMOSTランジスタN2、N3をNウェル領域NWを挟んだ他方のPウェル領域PW1内に形成することにより、記憶端子Naに電気的に接続されるN⁺拡散領域FL211及びN⁺拡散領域FL231をそれぞれ異なるPウェル領域PW0及びPW1内に分けて形成するとともに、記憶端子Nbに電気的に接続されるN⁺拡散領域FL240及びN⁺拡散領域FL220をそれぞれ異なるPウェル領域PW0及びPW1内に分けて形成することができる。

【0055】その結果、 α 線や中性子線によって発生した電子が、Pウェル領域PW0、PW1のうち一方のPウェル領域に形成したN⁺拡散領域に収集された場合に、Nウェル領域NWが介在することにより上記電子の発生による影響が防止される他方のPウェル領域に形成したN⁺拡散領域から放出される。例えば、Pウェル領域PW0の拡散領域FL211に収集された電子は記憶端子Naを介してPウェル領域PW1の拡散領域FL231から放出され、Pウェル領域PW1の拡散領域FL220に収集された電子は記憶端子Nbを介してPウェル領域PW0の拡散領域FL240から放出される。

【0056】このような動作により、記憶端子Na、Nbの保持データを反転させようとする電子の発生が相殺されるため、データの反転が起こりにくくなる。つまり、ソフトエラー耐性が向上するという効果がある(第1の効果)。

【0057】また、Pウェル領域PW0とPウェル領域PW1とをビット線BLA、BLBの形成方向に垂直な方向で分離形成することにより、2つのPウェル領域PW0、PW1の形成がビット線BLA、BLBの配線長に何ら影響を与えない。したがって、Pウェル領域PW0、PW1の形成によってビット線の配線長が長くなることはなく、良好なアクセスタイムを維持することができる(第2の効果)。

【0058】また、NMOSTランジスタN1、N2及びNMOSTランジスタN3、N4はそれぞれメモリセルの中心部(Nウェル領域NWの中心部)に対して点対称となるようにレイアウト配置されるため、実施の形態

12

1のメモリセルを複数個隣接して形成する場合に集積度の向上を図ることができる(第3の効果)。

【0059】また、ポリシリコン配線PL1~PL4を同一方向(図中横方向)で形成することにより、ゲート寸法の制御が容易になる効果があり、さらに、ポリシリコン配線PL1、PL3(NMOSTランジスタN1、N3、PMOSTランジスタP1)、ポリシリコン配線PL2、PL4(NMOSTランジスタN2、N4、PMOSTランジスタP2)をそれぞれ一直線上に形成することにより、無駄領域がなくなり、回路面積の削減により集積度の向上を図ることができる(第4の効果)。

【0060】加えて、NMOSTランジスタN1~N4において、ドレインとなる領域(記憶端子Naあるいは記憶端子Nbに電気的に接続される領域)を独立して形成することにより、ソフトエラー耐性の高いレベルで維持することができる(第5の効果)。

【0061】さらに、CMOS構造のインバータI1、I2をそれぞれNMOSTランジスタ及びPMOSTランジスタ一ずつの組で構成することにより、CMOS構造として必要最小限の回路構成でメモリセルを実現することができる(第6の効果)。

【0062】<実施の形態2>図5及び図6はこの発明の実施の形態2であるSRAMのメモリセル構造を示す図である。図5は全層におけるレイアウト構成を平面視した説明図である。図6は主として図5の第1アルミ配線層下のレイアウト構成を平面視した説明図である。なお、主として図5の第2アルミ配線層上のレイアウト構成を平面視した説明図は実施の形態1の説明で用いた図3と同様であり、実施の形態2の等価回路を示す回路図は図4と同様である。また、図6、図3で示した符号の一部を図5では省略している場合がある。

【0063】これらの図に示すように、NMOSTランジスタN1用の四角形状のN⁺拡散領域上に、ポリシリコン配線PL1を上記N⁺拡散領域の中心部で折れ曲げて形成することより、ポリシリコン配線PL1の外側に比較的広い拡散領域FL212、内側に比較的狭い拡散領域FL213を形成している。そして、拡散領域FL212、FL213及びポリシリコン配線PL1によってNMOSTランジスタN1を構成している。

【0064】同様にして、NMOSTランジスタN2用の四角形状のN⁺拡散領域上に、ポリシリコン配線PL2を上記N⁺拡散領域の中心部で折れ曲げて形成することより、ポリシリコン配線PL2の外側に比較的広い拡散領域FL213、内側に比較的狭い拡散領域FL222を形成している。そして、拡散領域FL222、FL223及びポリシリコン配線PL2によってNMOSTランジスタN2を構成している。

【0065】拡散領域FL212上のグランド配線LG1は2箇所の拡散コンタクトホール1Cを介して拡散領域FL212と電気的に接続され、拡散領域FL213

上のアルミ配線AL11は拡散コンタクトホール1Cを介して拡散領域FL213と電気的に接続される。

【0066】同様にして、拡散領域FL223上のグラウンド配線LG1は2箇所の拡散コンタクトホール1Cを介して拡散領域FL223と電気的に接続され、拡散領域FL222上のアルミ配線AL12は拡散コンタクトホール1Cを介して拡散領域FL222と電気的に接続される。他のレイアウト構成は実施の形態1と同様であるため、説明を省略する。

【0067】実施の形態2は以上のようにレイアウト構成することにより、実施の形態1の第1、第2、第5及び第6の効果に加え以下の効果を奏する。

【0068】ドライバトランジスタであるNMOSTランジスタN1、N2のゲート幅（チャネル幅）Wを大きくできる。その結果、ビット線BLA、BLBのキャリアの引き抜きを速く行うことにより動作の高速化が図れる。

【0069】加えて、ドライバトランジスタであるNMOSTランジスタN1、N2のアクセストランジスタであるNMOSTランジスタN3、N4に対するゲート幅Wの比を大きくとれるのでメモリセルの安定性も向上する。

【0070】図7は隣接するセル間のレイアウト構成を平面した説明図である。なお、図7は図6と同様、主として図5の第1アルミ配線層下のレイアウト構成を示している。

【0071】図7ではメモリセルMC1のNウェル領域NW及びPウェル領域PW0と、メモリセルMC2のNウェル領域NW及びPウェル領域PW0とを示している。

【0072】この際、NMOSTランジスタN1、N2はそれぞれメモリセルの中心部（Nウェル領域NWの中心部）に対して点対称となるようにレイアウト配置されている（実施の形態1の第3の効果に相当）。このため、図7に示すように、隣接するメモリセルMC1、MC2間においてドライバトランジスタであるNMOSTランジスタN1（N2）同士を、拡散領域FL212、ワード線WL1、グラウンド配線LG1、拡散コンタクトホール1C及びゲートコンタクトホールGCそれぞれの少なくとも一部を共有させることにより集積度を向上させながら、互いに隣接して線対称に形成することができ、NMOSTランジスタN1及びN2のゲート幅Wを大きくすることができる。

【0073】このように、NMOSTランジスタN1、N2のゲートとなるポリシリコン配線PL1、PL2を曲げて形成したことによる面積の増加はほとんどなく、実施の形態1と同様な高密度なメモリセル構造を得ることができる。

【0074】また、NMOSTランジスタN1、N3、PMOSTランジスタP1、及びNMOSTランジスタ

N2、N4、PMOSTランジスタP2をそれぞれほぼ一直線上に形成することにより、集積度の向上を図ることができる（実施の形態1の第4の効果に相当）。

【0075】＜実施の形態3＞図8～図10はこの発明の実施の形態3であるSRAMのメモリセル構造を示す図である。図8は全層におけるレイアウト構成を平面視した説明図である。図9は主として図8の第1アルミ配線層下のレイアウト構成を平面視した説明図である。なお、主として図8の第2アルミ配線層上のレイアウト構成を平面視した説明図は実施の形態1の説明で用いた図3と同様であり、図9、図3で示した符号の一部を図8では省略している場合がある。

【0076】図10は図8、図9、図3で示したレイアウト構成のSRAMメモリセルの等価回路を示す回路図である。同図に示すように、NMOSTランジスタN1及びPMOSTランジスタP1のゲートと記憶端子Nbとの間に抵抗R1が介挿され、NMOSTランジスタN2及びPMOSTランジスタP2のゲートと記憶端子Naとの間に抵抗R2が介挿される。他の構成は図4で示した実施の形態1と同様であるため説明を省略する。

【0077】以下、図8、図9及び図3を参照して、実施の形態3のメモリセル構造について述べる。

【0078】これらの図に示すように、NMOSTランジスタN1及びPMOSTランジスタP1のゲートとなるポリシリコン配線PL13（実施の形態1のポリシリコン配線PL1に相当）が抵抗R1となる高抵抗金属配線M00に電気的に接続され、この高抵抗金属配線M00がビアホール0Tを介して記憶端子Nbであるアルミ配線AL12と電気的に接続される。ビアホール0Tはポリシリコン配線と同一層に形成された高抵抗金属配線M00と第1層配線との接続用のビアホールを意味する。

【0079】同様にして、NMOSTランジスタN2及びPMOSTランジスタP2のゲートとなるポリシリコン配線PL14（実施の形態1のポリシリコン配線PL2に相当）が抵抗R2となる高抵抗金属配線M01に電気的に接続され、この高抵抗金属配線M01がビアホール0Tを介して記憶端子Naであるアルミ配線AL11と電気的に接続される。

【0080】なお、高抵抗金属配線M00、M01の形成材料としては例えばタングステン等のCoSi₂（コバルトシリサイド）より抵抗率が高い材料が挙げられる。また、他の構成は図1～図3で示した実施の形態1と同様であるため、説明を省略する。

【0081】実施の形態3は上記のようなメモリセル構造を有することにより、実施の形態1の第1～第6の効果に加え、以下の効果を奏する。

【0082】実施の形態3のメモリセルは、抵抗R1、R2を伝播する信号遅延によってセルに保持しているデータを反転するための応答特性は長くなる。その結果、

α 線や中性子線によって発生した電子によって、記憶端子Na、Nbのうち一方の記憶端子の電位が反転したとしても、他方の記憶端子のデータが反転する以前に元の保持状態に戻るため、ソフトエラーはより起きにくくなる。

【0083】＜実施の形態4＞図11及び図12はこの発明の実施の形態4であるSRAMのメモリセル構造を示す図である。図11は全層におけるレイアウト構成を平面視した説明図である。図12は主として図11の第1アルミ配線層下のレイアウト構成を平面視した説明図である。なお、主として図11の第2アルミ配線層上のレイアウト構成を平面視した説明図は実施の形態1の説明で用いた図3と同様であり、図12、図3で示した符号の一部を図11では省略している場合がある。また、実施の形態4のレイアウト構成のSRAMメモリセルの等価回路は実施の形態3で示した図10と同様である。

【0084】以下、図11、図12及び図3を参照して、実施の形態4のメモリセル構造について述べる。

【0085】これらの図に示すように、NMOSTランジスタN1及びPMOSTランジスタP1のゲートとなるポリシリコン配線PL13、PL17（実施の形態1のポリシリコン配線PL1に相当）のうち、抵抗R1となるポリシリコン配線PL17はポリシリコン配線PL13に比べ高抵抗な材料で形成される。例えば、ポリシリコン配線PL13を CoSi_2 で形成した場合、ポリシリコン配線PL17を CoSi_2 より抵抗率が高い形成材料を用いて形成する。

【0086】そして、ポリシリコン配線PL17がゲートコンタクトホールGCを介して記憶端子Nbであるアルミ配線AL12と電気的に接続される。

【0087】同様にして、NMOSTランジスタN2及びPMOSTランジスタP2のゲートとなるポリシリコン配線PL14、PL18（実施の形態1のポリシリコン配線PL2に相当）のうち、抵抗R2となるポリシリコン配線PL18はポリシリコン配線PL14に比べ高抵抗な材料で形成され、ポリシリコン配線PL18がゲートコンタクトホールGCを介して記憶端子Naであるアルミ配線AL11と電気的に接続される。他の構成は図1～図3で示した実施の形態1と同様であるため、説明を省略する。

【0088】実施の形態4は上記のようなメモリセル構造を有することにより、実施の形態1の第1～第6の効果に加え、以下の効果を奏する。

【0089】実施の形態4のメモリセルは、抵抗R1、R2を伝播する信号遅延によってセルに保持しているデータを反転するための応答特性は長くなる。その結果、 α 線や中性子線によって発生した電子によって、記憶端子Na、Nbのうち一方の記憶端子の電位が反転したとしても、他方の記憶端子のデータが反転する以前に元の保持状態に戻るため、ソフトエラーはより起きにくく

る。

【0090】＜実施の形態5＞図13～図15はこの発明の実施の形態5であるSRAMのメモリセル構造を示す図である。図13は全層におけるレイアウト構成を平面視した説明図である。図14は主として図13の第2アルミ配線層上のレイアウト構成を平面視した説明図である。なお、主として図13の第1アルミ配線層下のレイアウト構成を平面視した説明図は実施の形態1の説明で用いた図2（ワード線WLB2がワード線WLA2、WLB2に分離された点は異なる）と同様であり、図14、図2で示した符号の一部を図13では省略している場合がある。

【0091】図15は図13、図14、図2で示したレイアウト構成のSRAMメモリセルの等価回路を示す回路図である。同図に示すように、NMOSTランジスタN3のゲートにはワード線WLAが接続され、NMOSTランジスタN4のゲートにはワード線WLAとは独立したワード線WLBが接続される。なお、他の構成は図4で示した実施の形態1と同様であるため説明を省略する。

【0092】以下、図13、図14及び図2を参照して、実施の形態5のメモリセル構造について述べる。

【0093】ポリシリコン配線PL3はゲートコンタクトホールGCを介して、ワード線WLA1（第1層アルミ配線）に電気的に接続され、ワード線WLA1はビアホール1Tを介してワード線WLA2（第2層アルミ配線）と電気的に接続され、ワード線WLA2はビアホール2Tを介してワード線WLA3（第3層アルミ配線）と電気的に接続される。これらのワード線WLA1～ワード線WLA3によって図15のワード線WLAを構成する。

【0094】同様にして、ポリシリコン配線PL4はゲートコンタクトホールGCを介して、ワード線WLB1（第1層アルミ配線）に電気的に接続され、ワード線WLB1はビアホール1Tを介してワード線WLB2（第2層アルミ配線）と電気的に接続され、ワード線WLB2はビアホール2Tを介してワード線WLB3（第3層アルミ配線）と電気的に接続される。これらワード線WLB1～WLB3によって図15のワード線WLBを構成する。

【0095】ワード線WLA3、WLB3及びグランド配線LG3はPウエル領域PW0、PW1及びNウエル領域NWを横断して互いに並行に形成され、グランド配線LG3はワード線WLA3、WLB3を挟んで2本形成される。なお、他のレイアウト構成は実施の形態1と同様であるため説明を省略する。

【0096】実施の形態5は上記のようなメモリセル構造を有することにより、実施の形態1の第1～第6の効果に加え、以下の効果を奏する。

【0097】図15の等価回路に示すように、アクセス

トランジスタであるNMOSTランジスタN3、N4のゲートに接続するワード線をWLA、WLBと分けることで、FIFOメモリで利用可能なメモリセル構造を実現することができる。

【0098】＜実施の形態6＞図16～図18はこの発明の実施の形態6であるSRAMのメモリセル構造を示す図である。図16は全層におけるレイアウト構成を平面視した説明図である。図17は主として図16の第1アルミ配線層下のレイアウト構成を平面視した説明図である。図18は主として図16の第2アルミ配線層上のレイアウト構成を平面視した説明図である。なお、図17、図18で示した符号の一部を図16では省略している場合がある。また、実施の形態6のレイアウト構成のSRAMメモリセルの等価回路は実施の形態5で示した図15と同様である。

【0099】以下、図16～図18を参照して、実施の形態6のメモリセル構造について述べる。

【0100】NMOSTランジスタN3、N4用のN⁺拡散領域はソース・ドレイン領域形成方向が、他のNMOSTランジスタN1、N2及びPMOSTランジスタP1、P2のソース・ドレイン領域形成方向と90度向きを変えて形成される。すなわち、NMOSTランジスタN3用の拡散領域FL242、FL243とNMOSTランジスタN4用の拡散領域FL232、FL233とが図中、横方向に形成される。

【0101】そして、拡散領域FL243上のビット線BLB1は拡散コンタクトホール1Cを介して拡散領域FL243に電氣的に接続され、ビット線BLB2（第2層アルミ配線）はビアホール1Tを介してビット線BLB1（図18では図示せず）に電氣的に接続される。

【0102】同様にして、NMOSTランジスタN3を構成する拡散領域FL232上のビット線BLA1は拡散コンタクトホール1Cを介して拡散領域FL232に電氣的に接続され、ビット線BLA2（第2層アルミ配線）はビアホール1Tをビット線BLA1（図18では図示せず）に電氣的に接続される。

【0103】ビット線BLA2、BLB2はPウエル領域PW0、PW1及びNウエル領域NWを横断して互いに並行に形成される。

【0104】グラウンド配線LG1は拡散コンタクトホール1Cを介して拡散領域FL210及び拡散領域FL221に電氣的に接続され、グラウンド配線LG2はビアホール1Tを介してグラウンド配線LG1（図18では図示せず）に電氣的に接続され、グラウンド配線LG3はビアホール2Tを介してグラウンド配線LG2と電氣的に接続される。

【0105】電源配線LV1は拡散コンタクトホール1Cを介して拡散領域FL110及びFL121に電氣的に接続され、電源配線LV2はビアホール1Tを介して電源配線LV1（図18では図示せず）に電氣的に接続

され、電源配線LV3はビアホール2Tを介して電源配線LV2に電氣的に接続される。

【0106】ワード線WLA1はゲートコンタクトホールGCを介してポリシリコン配線PL23に電氣的に接続され、ワード線WLA2はビアホール1Tを介してワード線WLA1（図18では図示せず）に電氣的に接続され、ワード線WLA3（第3層アルミ配線）はビアホール2Tを介してワード線WLA2に電氣的に接続される。

【0107】同様にして、ワード線WLB1はゲートコンタクトホールGCを介してポリシリコン配線PL24に電氣的に接続され、ワード線WLB2はビアホール1Tを介してワード線WLB1（図18では図示せず）に電氣的に接続され、ワード線WLB3（第3層アルミ配線）はビアホール2Tを介してワード線WLB2に電氣的に接続される。

【0108】（第1の）グラウンド配線LG3、ワード線WLB3、電源配線LV3、ワード線WLA3、（第2の）グラウンド配線LG3はそれぞれ図中縦方向に並列に形成され、（第1の）グラウンド配線LG3及びワード線WLB3はPウエル領域PW0上に、電源配線LV3はNウエル領域NW上に、ワード線WLA3及び（第2の）グラウンド配線LG3はPウエル領域PW1上に形成される。

【0109】実施の形態6は上記のようなメモリセル構造を有することにより、実施の形態1の第1～第3、第5及び第6の効果に加え、実施の形態5固有の効果と同等の効果を奏する。

【0110】＜実施の形態7＞図19～図21はこの発明の実施の形態7であるSRAMのメモリセル構造を示す図である。図19は全層におけるレイアウト構成を平面視した説明図である。図20は主として図19の第1アルミ配線層下のレイアウト構成を平面視した説明図である。図21は主として図19の第2アルミ配線層上のレイアウト構成を平面視した説明図である。なお、図20、図21で示した符号の一部を図19では省略している場合がある。また、実施の形態7のレイアウト構成のSRAMメモリセルの等価回路は実施の形態1で示した図4と同様である。

【0111】以下、図19～図21を参照して、実施の形態7のメモリセル構造について述べる。

【0112】NMOSTランジスタN3、N4の共用ポリシリコン配線PL5がPウエル領域PW0からNウエル領域NW及びPウエル領域PW1上に伸びて形成され、この共用ポリシリコン配線PL5が図4のワード線WLとして用いられる。

【0113】他の構成は、ポリシリコン配線PL1、PL2のパターン形状、ポリシリコン配線PL1とアルミ配線AL12とのゲートコンタクトホールGC形成位置及びポリシリコン配線PL2とアルミ配線AL11との

10

20

30

40

50

ゲートコンタクトホールGCの形成位置等を除き、図5、図6及び図3で示した実施の形態2と同様である。

【0114】実施の形態7は上記のようなメモリセル構造を有することにより、実施の形態2と同等の効果を奏する。さらに、ワード線WLに関して、ビアホール1T、2T及びワード線WL2、WL3が不要になるため、必要レイア数が減り、コスト削減が図れるという効果がある。

【0115】＜実施の形態8＞図22～図25はこの発明の実施の形態8であるSRAMのメモリセル構造を示す図である。図22は全層におけるレイアウト構成を平面視した説明図である。図23は主として図22の第1アルミ配線層下のレイアウト構成を平面視した説明図である。図24は主として図22の第2アルミ配線層上のレイアウト構成を平面視した説明図である。なお、図23、図24で示した符号の一部を図22では省略している場合がある。

【0116】また、図25は図22～図24で示したレイアウト構成のSRAMメモリセルの等価回路を示す回路図である。同図に示すように、実施の形態8のSRAMのメモリセルは、NMOSTランジスタN1、N2、N5～N8及びPMOSTランジスタP1、P2から構成される。

【0117】NMOSTランジスタN5はビット線BLA、記憶端子Nb間に介挿され、NMOSTランジスタN6はビット線バーBLA、記憶端子Na間に介挿され、NMOSTランジスタN5及びN6のゲートがワード線WLAに共通に接続される。

【0118】NMOSTランジスタN7はビット線BLB、記憶端子Na間に介挿され、NMOSTランジスタN8はビット線バーBLB、記憶端子Nb間に介挿され、NMOSTランジスタN7及びN8のゲートがワード線WLBに共通に接続される。

【0119】ドライバトランジスタであるPMOSTランジスタP1、P2はNウェル領域NW内に形成され、ドライバトランジスタであるNMOSTランジスタN1とアクセストランジスタであるNMOSTランジスタN7、N8とはPウェル領域PW0内に形成され、ドライバトランジスタであるNMOSTランジスタN2とアクセストランジスタであるNMOSTランジスタN5、N6とはPウェル領域PW1内に形成される。Pウェル領域PW0とPウェル領域PW1とはNウェル領域NWを挟んで各々反対側に形成される。なお、他の構成は図15で示した実施の形態5の等価回路と同様である。

【0120】以下、図22～図24を参照して、実施の形態8のメモリセル構造について述べる。

【0121】Nウェル領域NW内において、P⁺拡散領域FL110、FL111及びポリシリコン配線PL17によりPMOSTランジスタP1を構成し、P⁺拡散領域FL120、FL121及びポリシリコン配線PL

18によりPMOSTランジスタP2を構成する。

【0122】Pウェル領域PW0内において、N⁺拡散領域FL212、FL213及びポリシリコン配線PL17によりNMOSTランジスタN1を構成し、N⁺拡散領域FL244、FL245及びポリシリコン配線PL20によってNMOSTランジスタN7を構成し、N⁺拡散領域FL246、FL247及びポリシリコン配線PL20によってNMOSTランジスタN8を構成する。なお、ポリシリコン配線PL17はNウェル領域NWからPウェル領域PW0にかけて形成されることにより、NMOSTランジスタN1及びPMOSTランジスタP1のゲートとして共有され、ポリシリコン配線PL20はNMOSTランジスタN7、N8間で共有される。

【0123】Pウェル領域PW1内において、N⁺拡散領域FL222、FL223及びポリシリコン配線PL18によりNMOSTランジスタN2を構成し、N⁺拡散領域FL234、FL235及びポリシリコン配線PL19によってNMOSTランジスタN5を構成し、N⁺拡散領域FL236、FL237及びポリシリコン配線PL19によってNMOSTランジスタN3を構成する。なお、ポリシリコン配線PL18はNウェル領域NWからPウェル領域PW1にかけて形成されることにより、NMOSTランジスタN2及びPMOSTランジスタP2のゲートとして共有され、ポリシリコン配線PL18はNMOSTランジスタN5、N6間で共有される。なお、上記した拡散領域は不純物を注入、拡散することにより得られる。

【0124】拡散領域FL212上のグランド配線LG1は2つの拡散コンタクトホール1Cを介して拡散領域FL212に電氣的に接続され、拡散領域FL245上のビット線BLB1は拡散コンタクトホール1Cを介して拡散領域FL245に電氣的に接続され、拡散領域FL247上のビット線バーBLB1は拡散コンタクトホール1Cを介して拡散領域FL247に電氣的に接続される。

【0125】拡散領域FL244上から、拡散領域FL213上、拡散領域FL111上及び拡散領域FL237上に伸びて形成される第1層アルミ配線であるアルミ配線AL15は、各拡散領域FL244、FL213、FL111、及びFL237それぞれと拡散コンタクトホール1Cを介して電氣的に接続される。さらに、アルミ配線AL15はポリシリコン配線PL18の一部上にも形成されており、ゲートコンタクトホールGCを介してポリシリコン配線PL18に電氣的に接続される。このアルミ配線AL15は電氣的に低インピーダンスな接続が可能であり、記憶端子Naに相当する。

【0126】ポリシリコン配線PL20はゲートコンタクトホールGCを介して、ワード線WLB1に電氣的に接続される。

21

【0127】拡散領域FL110上の電源配線LV1は拡散コンタクトホール1Cを介して拡散領域FL110と電氣的に接続され、拡散領域FL121上の電源配線LV1は拡散コンタクトホール1Cを介して拡散領域FL121と電氣的に接続される。

【0128】グランド配線LG1は2つの拡散コンタクトホール1Cを介して拡散領域FL223に電氣的に接続され、拡散領域FL234上のビット線BLA1は拡散コンタクトホール1Cを介して拡散領域FL234に電氣的に接続され、拡散領域FL236上のビット線バーBLA1は拡散コンタクトホール1Cを介して拡散領域FL236と電氣的に接続される。

【0129】拡散領域FL235上から、拡散領域FL222上、拡散領域FL120上及び拡散領域FL246上に伸びて形成される第1層アルミ配線であるアルミ配線AL16は、各拡散領域FL235、FL222、FL120、及びFL246それぞれと拡散コンタクトホール1Cを介して電氣的に接続される。さらに、アルミ配線AL16はポリシリコン配線PL17の一部上にも形成されており、ゲートコンタクトホールGCを介してポリシリコン配線PL17に電氣的に接続される。このアルミ配線AL16は電氣的に低インピーダンスな接続が可能であり、記憶端子Nbに相当する。

【0130】ポリシリコン配線PL19上のワード線WLA1はゲートコンタクトホールGCを介してポリシリコン配線PL19と電氣的に接続される。

【0131】グランド配線LG1はビアホール1Tを介してグランド配線LG2に電氣的に接続され、グランド配線LG2はビアホール2Tを介してグランド配線LG3に電氣的に接続される。

【0132】ワード線WLA1はビアホール1Tを介してワード線WLA2に電氣的に接続され、ワード線WLA2はビアホール2Tを介してワード線WLA3に電氣的に接続される。これらワード線WLA1～ワード線WLA3によって図25のワード線WLAを構成する。

【0133】同様にして、ワード線WLB1はビアホール1Tを介してワード線WLB2に電氣的に接続され、ワード線WLB2はビアホール2Tを介してワード線WLB3に電氣的に接続される。これらワード線WLB1～ワード線WLB3によって図25のワード線WLBを構成する。

【0134】ワード線WLA3、WLB3及びグランド配線LG3はPウエル領域PW0、PW1及びNウエル領域NWを横断して互いに並行に形成され、グランド配線LG3はワード線WLA3、WLB3を挟んで2本形成される。

【0135】ビット線BLA2はビアホール1Tを介してビット線BLA1に電氣的に接続され、ビット線BLB2はビアホール1Tを介してビット線BLB1に電氣的に接続される。

22

【0136】同様にして、ビット線バーBLA2はビアホール1Tを介してビット線バーBLA1に電氣的に接続され、ビット線バーBLB2はビアホール1Tを介してビット線バーBLB1に電氣的に接続される。

【0137】電源配線LV2はビアホール1Tを介して電源配線LV1に電氣的に接続される。これらビット線BLA1、BLA2、バーBLA1、バーBLA2、BLB1、BLB2、及びバーBLB1、BLB2によってそれぞれ図25のビット線BLA、バーBLA、BLB及びバーBLBを構成する。

【0138】ビット線対BLA2、バーBLA2、ビット線対BLB2、バーBLB2及び電源配線LV2は、それぞれPウエル領域PW1、PW0及びNウエル領域NW上を図中縦方向に互いに並行して形成される。

【0139】このように、実施の形態8のSRAMのメモリセル構造は、NMOSTランジスタN1、N7、N8を一方のPウエル領域PW0内に形成し、NMOSTランジスタN2、N5、N6をNウエル領域NWを挟んだ他方のPウエル領域PW1内に形成することにより、記憶端子Naに電氣的に接続されるN⁺拡散領域FL213及びFL244とN⁺拡散領域FL237とをそれぞれ異なるPウエル領域PW0内とPW1内とに分けて形成するとともに、記憶端子Nbに電氣的に接続されるN⁺拡散領域FL222及びFL235とN⁺拡散領域FL246とをそれぞれ異なるPウエル領域PW1内とPW0内とに分けて形成することができる。

【0140】その結果、実施の形態1の第1の効果であるソフトエラー耐性が向上を図ることができる。

【0141】また、Pウエル領域PW0及びPW1を、ビット線対BLA、バーBLA及びビット線対BLB、バーBLBの形成方向に垂直な方向で分離形成することにより、2つのPウエル領域PW0、PW1の形成がビット線対BLA、バーBLA及びビット線対BLB、バーBLBの配線長に何ら影響を与えない。したがって、Pウエル領域PW0、PW1の形成によってビット線の配線長が長くなることはなく、実施の形態1の第2の効果である良好なアクセスタイムを維持することができる。

【0142】また、NMOSTランジスタN1、N2、NMOSTランジスタN5、N7、及びNMOSTランジスタN6、N8はそれぞれメモリセルの中心部（Nウエル領域NWの中心部）に対して点対称となるようにレイアウト配置されるため、実施の形態8のメモリセルを複数個隣接して形成する場合に集積度の向上を図ることができる（実施の形態1の第3の効果に相当）。

【0143】また、ポリシリコン配線PL17～PL20を同一方向（図中横方向）で形成することにより、ゲート寸法の制御が容易になる効果があり、さらに、ポリシリコン配線PL17、PL19、ポリシリコン配線PL18、PL20をそれぞれ一直線上に形成することにより、無駄領域がなくなり、回路面積の削減により集積

度の向上を図ることができる（実施の形態1の第4の効果に相当）。

【0144】さらに、NMOSTランジスタN1、N2、N5～N8において、ドレインとなる領域を独立して形成することにより、ソフトウェア耐性の高いレベルで維持することができる（実施の形態1の第5の効果に相当）。

【0145】さらに、CMOS構造のインバータI1、I2をそれぞれNMOSTランジスタ及びPMOSTランジスタ一ずつの組で構成することにより、CMOS構造として必要最小限の回路構成でメモリセルを実現することができる（実施の形態1の第6の効果に相当）。

【0146】加えて、実施の形態8のメモリセルは、図25に示すように、2つのワード線WLA、WLB及び2つのビット線対（ビット線対BLA、バーBLA及びビット線対BLB、バーBLB）を用いた2ポートメモリセルが実現する。

【0147】＜実施の形態9＞図26～図28はこの発明の実施の形態9であるSRAMのメモリセル構造を示す図である。図26は全層におけるレイアウト構成を平面視した説明図である。図27は主として図26の第1アルミ配線層下のレイアウト構成を平面視した説明図である。図28は主として図26の第2アルミ配線層上のレイアウト構成を平面視した説明図である。なお、図27、図28で示した符号の一部を図26では省略している場合がある。

【0148】また、実施の形態9のレイアウト構成のSRAMメモリセルの等価回路は図25で示した実施の形態8と同様である。

【0149】以下、図26～図28を参照して、実施の形態9のメモリセル構造について、実施の形態8と異なる構成を中心に述べる。

【0150】Pウェル領域PW0内において、N⁺拡散領域FL214、FL215及びポリシリコン配線PL31によりNMOSTランジスタN1を構成する。このとき、ポリシリコン配線PL31をNMOSTランジスタN1用のN⁺拡散領域（FL214、FL215）上において2度90度折り曲げて形成することにより、他のNMOSTランジスタN5～N8に比べてかなり大きなゲート幅を設定している。

【0151】N⁺拡散領域FL270、FL271及びポリシリコン配線PL37によってNMOSTランジスタN7を構成し、N⁺拡散領域FL280、FL281及びポリシリコン配線PL38によってNMOSTランジスタN8を構成する。

【0152】なお、ポリシリコン配線PL31はNウェル領域NWからPウェル領域PW0にかけて形成されることにより、NMOSTランジスタN1及びPMOSTランジスタP1のゲートとして共有される。

【0153】Pウェル領域PW1内において、N⁺拡散

領域FL224、FL225及びポリシリコン配線PL32によりNMOSTランジスタN2を構成する。このとき、ポリシリコン配線PL32をNMOSTランジスタN2用のN⁺拡散領域（FL224、FL225）上において2度90度折り曲げて形成することにより、他のNMOSTランジスタN5～N8に比べてかなり大きなゲート幅を設定している。

【0154】N⁺拡散領域FL250、FL251及びポリシリコン配線PL35によってNMOSTランジスタN5を構成し、N⁺拡散領域FL260、PL261及びポリシリコン配線PL36によってNMOSTランジスタN6を構成する。

【0155】なお、ポリシリコン配線PL32はNウェル領域NWからPウェル領域PW1にかけて形成されることにより、NMOSTランジスタN2及びPMOSTランジスタP2のゲートとして共有される。なお、上記した拡散領域は不純物を注入、拡散することにより得られる。

【0156】拡散領域FL214上の2つのグランド配線LG1はそれぞれ拡散コンタクトホール1Cを介して拡散領域FL214に電氣的に接続され、拡散領域FL271上のビット線BLB1は拡散コンタクトホール1Cを介して拡散領域FL271に電氣的に接続され、拡散領域FL280上のビット線バーBLB1は拡散コンタクトホール1Cを介して拡散領域FL280に電氣的に接続される。

【0157】拡散領域FL281上から、拡散領域FL215上、拡散領域FL111上及び拡散領域FL251上に伸びて形成される第1層アルミ配線であるアルミ配線AL17は、各拡散領域FL281、FL215、FL111、及びFL251それぞれと拡散コンタクトホール1Cを介して電氣的に接続される。さらに、アルミ配線AL17はポリシリコン配線PL32の一部上にも形成されており、ゲートコンタクトホールGCを介してポリシリコン配線PL32に電氣的に接続される。このアルミ配線AL17は電氣的に低インピーダンスな接続が可能であり、記憶端子Naに相当する。

【0158】ポリシリコン配線PL37及びPL38はそれぞれゲートコンタクトホールGCを介して共通にワード線WLB1に電氣的に接続される。

【0159】拡散領域FL110上の電源配線LV1は拡散コンタクトホール1Cを介して拡散領域FL110に電氣的に接続され、拡散領域FL121上の電源配線LV1は拡散コンタクトホール1Cを介して拡散領域FL121に電氣的に接続される。

【0160】2つのグランド配線LG1はそれぞれ拡散コンタクトホール1Cを介して拡散領域FL224に電氣的に接続され、拡散領域FL250上のビット線BLA1は拡散コンタクトホール1Cを介して拡散領域FL250に電氣的に接続され、拡散領域FL261上のビ

10

20

30

40

50

ット線バーBLA1は拡散コンタクトホール1Cを介して拡散領域FL261と電氣的に接続される。

【0161】拡散領域FL260上から、拡散領域FL225上、拡散領域FL120上及び拡散領域FL270上に伸びて形成される第1層アルミ配線であるアルミ配線AL18は、各拡散領域FL260、FL225、FL120、及びFL270それぞれと拡散コンタクトホール1Cを介して電氣的に接続される。さらに、アルミ配線AL18はポリシリコン配線PL31の一部上にも形成されており、ゲートコンタクトホールGCを介してポリシリコン配線PL31に電氣的に接続される。このアルミ配線AL18は電氣的に低インピーダンスな接続が可能であり、記憶端子Nbに相当する。

【0162】ポリシリコン配線PL35及びPL36上のワード線WLA1はゲートコンタクトホールGCを介して共通にポリシリコン配線PL35及びPL36に電氣的に接続される。

【0163】グランド配線LG1はビアホール1Tを介してグランド配線LG2に電氣的に接続され、グランド配線LG2はビアホール2Tを介してグランド配線LG3に電氣的に接続される。

【0164】ワード線WLA1はビアホール1Tを介してワード線WLA2に電氣的に接続され、ワード線WLA2はビアホール2Tを介してワード線WLA3に電氣的に接続される。同様にして、ワード線WLB1はビアホール1Tを介してワード線WLB2に電氣的に接続され、ワード線WLB2はビアホール2Tを介してワード線WLB3に電氣的に接続される。

【0165】ビット線BLA2はビアホール1Tを介してビット線BLA1に電氣的に接続され、ビット線BLB2はビアホール1Tを介してビット線BLB1に電氣的に接続される。

【0166】同様にして、ビット線バーBLA2はビアホール1Tを介してビット線バーBLA1に電氣的に接続され、ビット線バーBLB2はビアホール1Tを介してビット線バーBLB1に電氣的に接続される。また、電源配線LV2はビアホール1Tを介して電源配線LV1に電氣的に接続される。

【0167】このように、実施の形態9のSRAMのメモリセル構造は、NMOSTランジスタN1、N7、N8を一方のPウエル領域PW0内に形成し、NMOSTランジスタN2、N5、N6をNウエル領域NWを挟んだ他方のPウエル領域PW1内に形成することにより、実施の形態8と同様、実施の形態1の第1の効果であるソフトエラー耐性が向上を図ることができる。

【0168】また、Pウエル領域PW0及びPW1を、ビット線対BLA、バーBLA及びビット線対BLB、バーBLBの形成方向に垂直な方向で分離形成することにより、実施の形態1の第2の効果である良好なアクセスタイムを維持することができる。

【0169】また、実施の形態9は、実施の形態8と同様、NMOSTランジスタN1、N2、NMOSTランジスタN5、N7、及びNMOSTランジスタN6、N8はそれぞれメモリセルの中心部に対して点対称となるようにレイアウト配置されるため、実施の形態9のメモリセルを複数個隣接して形成する場合に集積度の向上を図ることができる（実施の形態1の第3の効果に相当）。

【0170】さらに、NMOSTランジスタN1、N2、N5～N8において、ドレインとなる領域を独立して形成することにより、ソフトエラー耐性の高いレベルで維持することができる（実施の形態1の第5の効果に相当）。

【0171】加えて、CMOS構造のインバータI1、I2をそれぞれNMOSTランジスタ及びPMOSTランジスタ一つずつの組で構成することにより、CMOS構造として必要最小限の回路構成でメモリセルを実現することができる（実施の形態1の第6の効果に相当）。

【0172】さらに、実施の形態9のメモリセルは、実施の形態8と同様、2ポートメモリセルとなる。

【0173】さらに加えて、ドライバトランジスタであるNMOSTランジスタN1、N2のゲート幅（チャネル幅）Wを大きくすることにより、実施の形態2と同様、動作の高速化及びメモリセルの安定性の向上を図ることができる。

【0174】＜実施の形態10＞図29～図31はこの発明の実施の形態10であるSRAMのメモリセル構造を示す図である。図29は全層におけるレイアウト構成を平面視した説明図である。図30は主として図29の第1アルミ配線層下のレイアウト構成を平面視した説明図である。図31は主として図29の第2アルミ配線層上のレイアウト構成を平面視した説明図である。なお、図30、図31で示した符号の一部を図29では省略している場合がある。

【0175】また、実施の形態10のレイアウト構成のSRAMメモリセルの等価回路は図25で示した実施の形態8と同様である。

【0176】以下、図29～図31を参照して、実施の形態10のメモリセル構造について述べる。

【0177】Nウエル領域NW内において、P⁺拡散領域FL110、FL111及びポリシリコン配線PL41によりPMOSTランジスタP1を構成し、P⁺拡散領域FL120、FL121及びポリシリコン配線PL42によりPMOSTランジスタP2を構成する。

【0178】Pウエル領域PW0内において、N⁺拡散領域FL210、FL211及びポリシリコン配線PL41によりNMOSTランジスタN1を構成し、N⁺拡散領域FL270、FL271及びポリシリコン配線PL47によってNMOSTランジスタN7を構成し、N⁺拡散領域FL280、FL281及びポリシリコン配

線PL47によってNMOSTランジスタN8を構成する。なお、ポリシリコン配線PL41はNウェル領域NWからPウェル領域PW0にかけて形成されることにより、NMOSTランジスタN1及びPMOSTランジスタP1のゲートとして共有され、ポリシリコン配線PL47はNMOSTランジスタN7、N8間で共有される。

【0179】Pウェル領域PW1内において、N⁺拡散領域FL220、FL221及びポリシリコン配線PL42によりNMOSTランジスタN2を構成し、N⁺拡散領域FL250、FL251及びポリシリコン配線PL45によってNMOSTランジスタN5を構成し、N⁺拡散領域FL260、FL261及びポリシリコン配線PL45によってNMOSTランジスタN6を構成する。なお、ポリシリコン配線PL42はNウェル領域NWからPウェル領域PW1にかけて形成されることにより、NMOSTランジスタN2及びPMOSTランジスタP2のゲートとして共有され、ポリシリコン配線PL42はNMOSTランジスタN5、N6間で共有される。なお、上記した拡散領域は不純物を注入、拡散することにより得られる。

【0180】拡散領域FL210上のグラウンド配線LG1は拡散コンタクトホール1Cを介して拡散領域FL210に電氣的に接続され、拡散領域FL271上のビット線BLB1は拡散コンタクトホール1Cを介して拡散領域FL271に電氣的に接続され、拡散領域FL281上のビット線バーBLB1は拡散コンタクトホール1Cを介して拡散領域FL281に電氣的に接続される。

【0181】拡散領域FL270（FL211）上から拡散領域FL111上に伸びて形成される第1層アルミ配線であるアルミ配線AL17は、拡散領域FL270（FL211）と拡散コンタクトホール1Cを介して電氣的に接続される。

【0182】さらに、アルミ配線AL17はポリシリコン配線PL42に電氣的に接続される。ポリシリコン配線PL42はシェードコンタクトSCを介して拡散領域FL111及び拡散領域FL261それぞれに電氣的に接続される。なお、ここで、シェードコンタクトは、拡散領域とポリシリコンを1つの共通コンタクトで電氣的に接続するものを意味する。

【0183】アルミ配線AL17は電氣的に低インピーダンスな接続が可能であり、アルミ配線AL17、2つのシェードコンタクトSC及びポリシリコン配線PL42が記憶端子Naに相当する。

【0184】ポリシリコン配線PL47はゲートコンタクトホールGCを介して、ワード線WLB1に電氣的に接続される。

【0185】拡散領域FL110上の電源配線LV1は拡散コンタクトホール1Cを介して拡散領域FL110と電氣的に接続され、拡散領域FL121上の電源配線

LV1は拡散コンタクトホール1Cを介して拡散領域FL121に電氣的に接続される。

【0186】グラウンド配線LG1は拡散コンタクトホール1Cを介して拡散領域FL221に電氣的に接続され、拡散領域FL250上のビット線BLA1は拡散コンタクトホール1Cを介して拡散領域FL250に電氣的に接続され、拡散領域FL260上のビット線バーBLA1は拡散コンタクトホール1Cを介して拡散領域FL260と電氣的に接続される。

10 【0187】拡散領域FL251（FL220）上から拡散領域FL120上に伸びて形成される第1層アルミ配線であるアルミ配線AL18は、拡散領域FL251（FL220）と拡散コンタクトホール1Cを介して電氣的に接続される。

【0188】さらに、アルミ配線AL19はポリシリコン配線PL41に電氣的に接続される。ポリシリコン配線PL41はシェードコンタクトSCを介して拡散領域FL120及び拡散領域FL280それぞれに電氣的に接続される。

20 【0189】アルミ配線AL18は電氣的に低インピーダンスな接続が可能であり、アルミ配線AL18、2つのシェードコンタクトSC及びポリシリコン配線PL41が記憶端子Nbに相当する。

【0190】ポリシリコン配線PL45上のワード線WLA1はゲートコンタクトホールGCを介してポリシリコン配線PL45と電氣的に接続される。

【0191】ワード線WLA1はビアホール1Tを介してワード線WLA2に電氣的に接続され、ワード線WLA2はビアホール2Tを介してワード線WLA3に電氣的に接続される。同様に、ワード線WLB1はビアホール1Tを介してワード線WLB2に電氣的に接続され、ワード線WLB2はビアホール2Tを介してワード線WLB3に電氣的に接続される。

【0192】ワード線WLA3及びWLB3は、Pウェル領域PW0、PW1及びNウェル領域NWを横断して互いに並行に形成される。

【0193】ビット線BLA2はビアホール1Tを介してビット線BLA1に電氣的に接続され、ビット線WLB2はビアホール1Tを介してビット線BLB1に電氣的に接続される。

40 【0194】同様に、ビット線バーBLA2はビアホール1Tを介してビット線バーBLA1に電氣的に接続され、ビット線バーBLB2はビアホール1Tを介してビット線バーBLB1に電氣的に接続される。

【0195】電源配線LV2はビアホール1Tを介して電源配線LV1に電氣的に接続される。グラウンド配線LG1はビアホール1Tを介してグラウンド配線LG2に電氣的に接続される。

50 【0196】ビット線対BLA2、バーBLA2、ビット線対BLB2、バーBLB2、グラウンド配線LG2及

び電源配線LV2は図中縦方向に並行して形成される。

【0197】ビット線対BLA2、バーBLA2及びグランド配線LG2はPウェル領域PW1上に形成され、ビット線対BLB2、バーBLB2及びグランド配線LG2はPウェル領域PW0上に形成され、電源配線LV2はNウェル領域NWを上に形成される。

【0198】このように、実施の形態10のSRAMのメモリセル構造は、NMOSTランジスタN1、N7、N8を一方のPウェル領域PW0内に形成し、NMOSTランジスタN2、N5、N6をNウェル領域NWを挟んだ他方のPウェル領域PW1内に形成することにより、実施の形態8、実施の形態9と同様、実施の形態1の第1の効果であるソフトウェア耐性が向上を図ることができる。

【0199】また、Pウェル領域PW0及びPW1を、ビット線対BLA、バーBLA及びビット線対BLB、バーBLBの形成方向に垂直な方向で分離形成することにより、実施の形態1の第2の効果である良好なアクセスタイムを維持することができる。

【0200】また、実施の形態10は、実施の形態8と同様、NMOSTランジスタN1、N2、NMOSTランジスタN5、N7、及びNMOSTランジスタN6、N8はそれぞれメモリセルの中心部に対して点対称となるようにレイアウト配置されるため、実施の形態10のメモリセルを複数個隣接して形成する場合に集積度の向上を図ることができる（実施の形態1の第3の効果に相当）。

【0201】加えて、実施の形態10のメモリセルは、実施の形態8と同様、2ポートメモリセルとなる。

【0202】また、ポリシリコン配線PL41、PL42、PL47及びPL48をほぼ同一方向（図中横方向）で形成することにより、ゲート寸法の制御が容易になる効果があり、さらに、ポリシリコン配線PL41、PL45、ポリシリコン配線PL42、PL47をそれぞれ一直線上に形成することにより、無駄領域がなくなり、回路面積の削減により集積度の向上を図ることができる（実施の形態1の第4の効果に相当）。

【0203】さらに、CMOS構造のインバータI1、I2をそれぞれNMOSTランジスタ及びPMOSTランジスタ一ずつの組で構成することにより、CMOS構造として必要最小限の回路構成でメモリセルを実現することができる（実施の形態1の第6の効果に相当）。

【0204】加えて、記憶端子Naをアルミ配線AL17、シェアドコンタクトSC及びポリシリコン配線PL42で構成し、記憶端子Nbをアルミ配線AL18、シェアドコンタクトSC及びポリシリコン配線PL41で構成することにより、図中縦方向のウェル形成幅を2ランジスタピッチで形成できる分、集積度の向上を図ることができる。

【0205】＜実施の形態11＞図32～図34はこの

発明の実施の形態11であるSRAMのメモリセル構造を示す図である。図32は全層におけるレイアウト構成を平面視した説明図である。図33は主として図32の第1アルミ配線層下のレイアウト構成を平面視した説明図である。図34は主として図32の第2アルミ配線層上のレイアウト構成を平面視した説明図である。なお、図33、図34で示した符号の一部を図32では省略している場合がある。

【0206】また、実施の形態11のレイアウト構成のSRAMメモリセルの等価回路は図4で示した実施の形態1と同様である。

【0207】以下、図32～図34を参照して、実施の形態11のメモリセル構造について述べる。

【0208】Nウェル領域NW内において、P⁺拡散領域FL110、FL111及びポリシリコン配線PL51によりPMOSTランジスタP1を構成し、P⁺拡散領域FL120、FL121及びポリシリコン配線PL52によりPMOSTランジスタP2を構成する。

【0209】Pウェル領域PW0内において、N⁺拡散領域FL210（FL210A、FL210B）、FL211及びポリシリコン配線PL51によりNMOSTランジスタN1を構成し、N⁺拡散領域FL240、FL241及びポリシリコン配線PL54によってNMOSTランジスタN4を構成する。なお、ポリシリコン配線PL51はNウェル領域NWからPウェル領域PW0にかけて形成されることにより、NMOSTランジスタN1及びPMOSTランジスタP1のゲートとして共有される。

【0210】Pウェル領域PW1内において、N⁺拡散領域FL220（FL220A、FL220B）、FL221及びポリシリコン配線PL52によりNMOSTランジスタN2を構成し、N⁺拡散領域FL230、FL231及びポリシリコン配線PL53によってNMOSTランジスタN3を構成する。なお、ポリシリコン配線PL52はNウェル領域NWからPウェル領域PW1にかけて形成されることにより、NMOSTランジスタN2及びPMOSTランジスタP2のゲートとして共有される。なお、上記した拡散領域は不純物を注入、拡散することにより得られる。

【0211】拡散領域FL210A、FL210B上のグランド配線LG1はそれぞれ拡散コンタクトホール1Cを介して拡散領域FL210A、FL210Bに電気的に接続され、拡散領域FL241上のビット線BLB1は拡散コンタクトホール1Cを介して拡散領域FL241に電気的に接続される。

【0212】拡散領域FL211上から拡散領域FL111上に伸びて形成される第1層アルミ配線であるアルミ配線AL17は、拡散領域FL211と拡散コンタクトホール1Cを介して電気的に接続される。

【0213】さらに、アルミ配線AL17はポリシリコ

ン配線PL52に電氣的に接続される。ポリシリコン配線PL52はシェードコンタクトSCを介して拡散領域FL111及び拡散領域FL231それぞれに電氣的に接続される。

【0214】アルミ配線AL17は電氣的に低インピーダンスな接続が可能であり、アルミ配線AL17、2つのシェードコンタクトSC及びポリシリコン配線PL52が記憶端子Naに相当する。

【0215】ポリシリコン配線PL54はゲートコンタクトホールGCを介して、ワード線WL1に電氣的に接続される。

【0216】拡散領域FL110上の電源配線LV1は拡散コンタクトホール1Cを介して拡散領域FL110と電氣的に接続され、拡散領域FL121上の電源配線LV1は拡散コンタクトホール1Cを介して拡散領域FL121に電氣的に接続される。

【0217】グランド配線LG1は拡散コンタクトホール1Cを介して拡散領域FL221に電氣的に接続され、拡散領域FL230上のビット線BLA1は拡散コンタクトホール1Cを介して拡散領域FL230と電氣的に接続される。

【0218】拡散領域FL220上から拡散領域FL120上に伸びて形成される第1層アルミ配線であるアルミ配線AL18は、拡散領域FL220と拡散コンタクトホール1Cを介して電氣的に接続される。

【0219】さらに、アルミ配線AL18はポリシリコン配線PL51に電氣的に接続される。ポリシリコン配線PL51はシェードコンタクトSCを介して拡散領域FL120及び拡散領域FL240それぞれに電氣的に接続される。

【0220】アルミ配線AL18は電氣的に低インピーダンスな接続が可能であり、アルミ配線AL18、2つのシェードコンタクトSC及びポリシリコン配線PL51が記憶端子Nbに相当する。

【0221】ポリシリコン配線PL53上のワード線WL1はゲートコンタクトホールGCを介してポリシリコン配線PL53と電氣的に接続される。

【0222】ワード線WL1はビアホール1Tを介してワード線WL2に電氣的に接続され、ワード線WL2はビアホール2Tを介してワード線WL3に電氣的に接続される。ワード線WL3はウェル領域PW0、PW1及びNウェル領域NWを横断して形成される。

【0223】ビット線BLA2はビアホール1Tを介してビット線BLA1に電氣的に接続され、ビット線BLB2はビアホール1Tを介してビット線BLB1に電氣的に接続される。

【0224】電源配線LV2はビアホール1Tを介して電源配線LV1に電氣的に接続される。グランド配線LG1はビアホール1Tを介してグランド配線LG2に電氣的に接続される。

【0225】ビット線BLA2、BLB2、グランド配線LG2及び電源配線LV2は図中縦方向に並行して形成される。

【0226】ビット線BLA2及びグランド配線LG2はPウェル領域PW1上に形成され、ビット線BLB2及びグランド配線LG2はPウェル領域PW0上に形成され、電源配線LV2はNウェル領域NW上に形成される。

【0227】このように、実施の形態11のSRAMのメモリセル構造は、NMOSTランジスタN1、N4を一方のPウェル領域PW0内に形成し、NMOSTランジスタN2、N3をNウェル領域NWを挟んだ他方のPウェル領域PW1内に形成することにより、実施の形態1の第1の効果であるソフトエラー耐性が向上を図ることができる。

【0228】また、Pウェル領域PW0及びPW1を、ビット線BLA、BLBの形成方向に垂直な方向で分離形成することにより、実施の形態1の第2の効果である良好なアクセスタイムを維持することができる。

【0229】また、実施の形態11は、実施の形態1と同様、NMOSTランジスタN1、N2、及びNMOSTランジスタN3、N4はそれぞれメモリセルの中心部に対して点対称となるようにレイアウト配置されるため、実施の形態11のメモリセルを複数個隣接して形成する場合に集積度の向上を図ることができる（実施の形態1の第3の効果に相当）。

【0230】また、ポリシリコン配線PL51～PL54をほぼ同一方向（図中横方向）で形成することにより、ゲート寸法の制御が容易になる効果があり、さらに、ポリシリコン配線PL51、PL53、ポリシリコン配線PL52、PL54をそれぞれ一直線上に形成することにより、無駄領域がなくなり、回路面積の削減により集積度の向上を図ることができる（実施の形態1の第4の効果に相当）。

【0231】加えて、NMOSTランジスタN1～N4において、ドレインとなる領域を独立して形成することにより、ソフトエラー耐性の高いレベルで維持することができる（実施の形態1の第5の効果に相当）。

【0232】さらに、CMOS構造のインバータ11、12をそれぞれNMOSTランジスタ及びPMOSTランジスタ一ずつの組で構成することにより、CMOS構造として必要最小限の回路構成でメモリセルを実現することができる（実施の形態1の第6の効果に相当）。

【0233】加えて、記憶端子Naをアルミ配線AL17、シェードコンタクトSC及びポリシリコン配線PL52で構成し、記憶端子Nbをアルミ配線AL18、シェードコンタクトSC及びポリシリコン配線PL51で構成することにより、図中縦方向のウェル形成幅を2ランジスタピッチで形成できる分、集積度の向上を図ることができる。

【0234】＜実施の形態12＞図35及び図36はこの発明の実施の形態12であるSRAMのメモリセル構造を示す図である。図35は全層におけるレイアウト構成を平面視した説明図である。図36は主として図35の第2アルミ配線層上のレイアウト構成を平面視した説明図である。なお、主として図35の第1アルミ配線層下のレイアウト構成を平面視した説明図は実施の形態11の説明で用いた図33（ワード線WL2がワード線WLA2、WLB2に分離された点は異なる）と同様であり、図36、図33で示した符号の一部を図35では省略している場合がある。また、実施の形態12のレイアウト構成のSRAMメモリセルの等価回路は実施の形態5で示した図15と同様である。

【0235】以下、図35、図36及び図33を参照して、実施の形態12のメモリセル構造について述べる。

【0236】ポリシリコン配線PL53はゲートコンタクトホールGCを介して、ワード線WLA1（図33の右端のワード線WL1に相当）に電気的に接続され、ワード線WLA1はビアホール1Tを介してワード線WLA2に電気的に接続され、ワード線WLA2はビアホール2Tを介してワード線WLA3に電気的に接続される。これらワード線WLA1～ワード線WLA3によって図15のワード線WLAを構成する。

【0237】同様に、ポリシリコン配線PL54はゲートコンタクトホールGCを介して、ワード線WLB1（図33の左端のワード線WL1に相当）に電気的に接続され、ワード線WLB1はビアホール1Tを介してワード線WLB2に電気的に接続され、ワード線WLB2はビアホール2Tを介してワード線WLB3に電気的に接続される。これらワード線WLB1～WLB3によって図15のワード線WLBを構成する。

【0238】ワード線WLA3、WLB3はPウェル領域PW0、PW1及びNウェル領域NWを横断して互いに並行に形成される。なお、他のレイアウト構成は実施の形態11と同様であるため説明を省略する。

【0239】実施の形態12は上記のようなメモリセル構造を有することにより、実施の形態11の効果に加え、実施の形態5と同様、FIFOメモリで利用可能なメモリセル構造を実現することができる。

【0240】＜その他＞なお、上述した実施の形態1～実施の形態12において、導電型式を全て逆にして構成しても同様な効果を奏する。さらに、MOSトランジスタに限らず、MISトランジスタ等の電界効果トランジスタに対しても同様な効果を奏する。

【0241】

【発明の効果】以上説明したように、この発明における請求項1記載の半導体記憶装置は、第1の記憶端子に一方電極が接続される第1及び第3の第1種電界効果トランジスタを第1及び第2の第2種ウェル領域にそれぞれ分けて形成し、第2の記憶端子に一方電極が接続される

第2及び第4の第1種電界効果トランジスタを第2及び第1の第2種ウェル領域にそれぞれ分けて形成している。

【0242】したがって、 α 線や中性子線によって発生した電子が、第1及び第2の第2種ウェル領域のうち一方の第2種ウェル領域に形成した第1～第4の第1種電界効果トランジスタの一方電極領域に収集された場合に、第1種ウェル領域が介在することにより上記電子の発生による影響が防止される他方の第2種ウェル領域に形成した第1～第4の第1種電界効果トランジスタの一方電極領域から放出される。例えば、第1の第2種ウェル領域内の第1の第1種電界効果トランジスタの一方電極領域に収集された電子は第1の記憶端子を介して第2の第2種ウェル領域内の第3の第1種電界効果トランジスタの一方電極領域から放出され、第2の第2種ウェル領域内の第2の第1種電界効果トランジスタの一方電極領域に収集された電子は第2の記憶端子を介して第1の第2種ウェル領域内の第4の第1種電界効果トランジスタの一方電極領域から放出される。

【0243】このような動作により、第1及び第2の記憶端子の保持データを反転させようとする電子の発生が相殺されるため、データの反転が起こりにくくなり、その結果、ソフトウェア耐性が向上するという効果を奏する。

【0244】加えて、第1及び第2のインバータはそれぞれ第1種及び第2種電界効果トランジスタ一つ一つの組で構成されているため、相補型の構成では必要最小限の回路構成で実現できる。

【0245】請求項2記載の半導体記憶装置は、第1あるいは第2の記憶端子に接続される一方電極を第1～第4の第1種電界効果トランジスタ間で互いに独立して形成することにより、ソフトウェア耐性のさらなる向上を図ることができる。

【0246】請求項3記載の半導体記憶装置のように第1～第4の第1種電界効果トランジスタ及び第1、第2の第2種電界効果トランジスタを配置することにより、集積度の向上を図ることができる。

【0247】請求項4記載の半導体記憶装置は、第1及び第2のMOSトランジスタをメモリセルの中心点に対して互いに点対称となるようにレイアウト配置することにより、隣接するメモリセル間の配置を容易にして集積度の向上を図ることができる。

【0248】請求項5記載の半導体記憶装置は、第3及び第4のMOSトランジスタをメモリセルの中心点に対して互いに点対称となるようにレイアウト配置することにより、隣接するメモリセル間の配置を容易にして集積度の向上を図ることができる。

【0249】請求項6記載の半導体記憶装置は、第1及び第2の第1種電界効果トランジスタの制御電極幅を第3及び第4の第1種電界効果トランジスタの制御電極幅

より広く設定することにより、メモリセルの安定性の向上を図ることができる。

【0250】請求項7記載の半導体記憶装置は、第1及び第2の抵抗成分による信号伝播遅延によって、メモリセルの第1及び第2の記憶端子に保持しているデータを反転するための応答特性を長くして、ソフトエラーを起りにくくすることができる。

【0251】請求項8記載の半導体記憶装置は、高抵抗金属配線によって第1及び第2の抵抗成分を実現している。

【0252】請求項9記載の半導体記憶装置は、高抵抗ポリシリコン配線によって第1及び第2の抵抗成分を実現している。

【0253】請求項10記載の半導体記憶装置は、第3及び第4のMOSトランジスタの制御電極及びワード線を一本のポリシリコンで共用することにより、形成すべき層の数を減少させて装置のコスト削減を図ることができる。

【0254】請求項11記載の半導体記憶装置は、第1及び第2のワード線による2つのメモリセル選択手段を有することにより、メモリセルをFIFOメモリ用に用いることができる。

【0255】請求項12記載の半導体記憶装置は、第1～第4の部分ビット線及び第1及び第2のワード線による2ポートメモリセルが実現する。

【0256】請求項13記載の半導体記憶装置は、第1及び第2の第1種電界効果トランジスタの制御電極幅を第5～第8の第1種電界効果トランジスタの制御電極幅より広く設定することにより、メモリセルの安定性の向上を図ることができる。

【0257】請求項14記載の半導体記憶装置は、第1及び第2の第1種電界効果トランジスタの制御電極形成領域を第2及び第1の記憶端子の一部を構成するようにレイアウト配置することにより、メモリセル形成領域を狭くして集積度の向上を図ることができる。

【0258】請求項15記載の半導体記憶装置は、第1及び第2の第2種ウェル領域の間にレイアウト配置された第1種ウェル領域によって、第1及び第2の第2種ウェル領域のうち一方の第2種ウェル領域で生成されたキャリアが他方の第2種ウェル領域に影響を及ぼすことを防止することができる。

【図面の簡単な説明】

【図1】 この発明に実施の形態1であるSRAMのメモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図2】 主として図1の第1アルミ配線層下のレイアウト構成を平面視した説明図である。

【図3】 主として図1の第2アルミ配線層上のレイアウト構成を平面視した説明図である。

【図4】 実施の形態1のメモリセルの等価回路を示す

回路図である。

【図5】 実施の形態2のSRAMメモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図6】 主として図5の第1アルミ配線層下のレイアウト構成を平面視した説明図である。

【図7】 隣接するメモリセル間における第1アルミ配線層下のレイアウト構成を平面視した説明図である。

【図8】 実施の形態3のSRAMメモリセルの全層におけるレイアウト構成を平面視した説明図である。

10 【図9】 主として図8の第1アルミ配線層下のレイアウト構成を平面視した説明図である。

【図10】 実施の形態3のメモリセルの等価回路を示す回路図である。

【図11】 実施の形態4のSRAMメモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図12】 主として図11の第1アルミ配線層下のレイアウト構成を平面視した説明図である。

【図13】 実施の形態5のSRAMメモリセルの全層におけるレイアウト構成を平面視した説明図である。

20 【図14】 主として図13の第2アルミ配線層上のレイアウト構成を平面視した説明図である。

【図15】 実施の形態5のメモリセルの等価回路を示す回路図である。

【図16】 実施の形態6のSRAMメモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図17】 主として図16の第1アルミ配線層下のレイアウト構成を平面視した説明図である。

【図18】 主として図16の第2アルミ配線層上のレイアウト構成を平面視した説明図である。

30 【図19】 実施の形態7のSRAMメモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図20】 主として図19の第1アルミ配線層下のレイアウト構成を平面視した説明図である。

【図21】 主として図19の第2アルミ配線層上のレイアウト構成を平面視した説明図である。

【図22】 実施の形態8のSRAMメモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図23】 主として図22の第1アルミ配線層下のレイアウト構成を平面視した説明図である。

40 【図24】 主として図22の第2アルミ配線層上のレイアウト構成を平面視した説明図である。

【図25】 実施の形態8のメモリセルの等価回路を示す回路図である。

【図26】 実施の形態9のSRAMメモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図27】 主として図26の第1アルミ配線層下のレイアウト構成を平面視した説明図である。

【図28】 主として図26の第2アルミ配線層上のレイアウト構成を平面視した説明図である。

50 【図29】 実施の形態10のSRAMメモリセルの全

層におけるレイアウト構成を平面視した説明図である。

【図30】 主として図29の第1アルミ配線層下のレイアウト構成を平面視した説明図である。

【図31】 主として図29の第2アルミ配線層上のレイアウト構成を平面視した説明図である。

【図32】 実施の形態11のSRAMメモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図33】 主として図32の第1アルミ配線層下のレイアウト構成を平面視した説明図である。

【図34】 主として図32の第2アルミ配線層上のレイアウト構成を平面視した説明図である。

【図35】 実施の形態のSRAMメモリセルの全層におけるレイアウト構成を平面視した説明図である。

【図36】 主として図35の第2アルミ配線層上のレイアウト構成を平面視した説明図である。

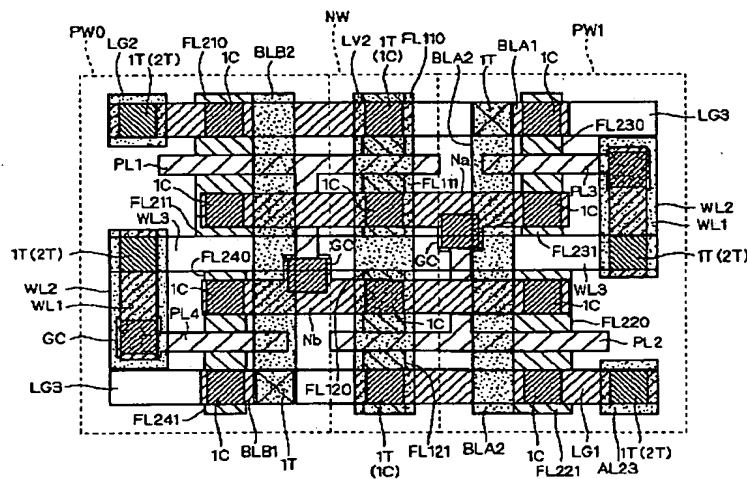
【図37】 従来のSRAMメモリセルを示す回路図で*

* ある。

【符号の説明】

BLA, BLB, バーBLA, バーBLB ビット線、
FL110, FL111, FL120, FL121 P
拡散領域、FL210~FL215, FL220~F
L225, FL230~FL233, FL240~FL
243 N⁺拡散領域、I1, I2 インバータ、M0
0, M01 高抵抗金属配線、N1, N2 NMOSト
ランジスタ(ドライバトランジスタ)、N3~N7 N
MOSTランジスタ(アクセストランジスタ)、NW
Nウェル領域、P1, P2 PMOSトランジスタ(ド
ライバトランジスタ)、PL5 共用ポリシリコン配線
PL5, PL7, PL8 高抵抗ポリシリコン配線、P
W0, PW1 Pウェル領域、R1, R2 抵抗、W
L, WLA, WLB ワード線。

【図1】



【図3】

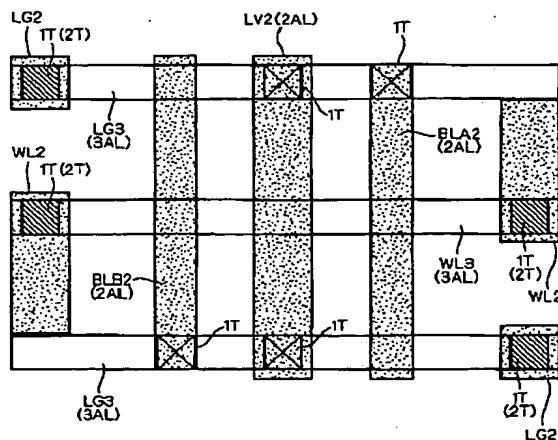


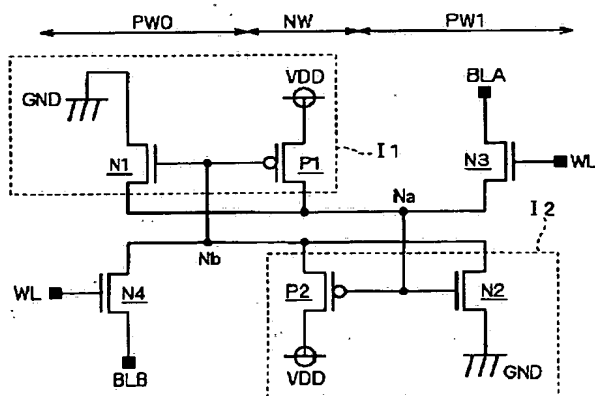
FIG. 1 is a cross-sectional view of a semiconductor device. The structure is built on a substrate (PWO) and includes a central core (NW) and a peripheral region (PW1). The device features multiple layers of conductive and insulating materials. Key components include:

- Top Layer:** LG1, FL210, IC, LV1, FL110, IC, NW, PW1, BLA1, FL230, IC, N3.
- Second Layer:** PL1, P1, Na, GC, PL3, IC, WL1.
- Third Layer:** N1, IC, FL211, FL240, AL11, FL111, FL120, GC, AL12, FL231, FL220, IC, N2.
- Fourth Layer:** WL1, IC, PL4, GC, Nb, IC, P2, PL2, LG1, FL221.
- Fifth Layer:** GC, N4, FL241, IC, BLB1, IC, FL121.

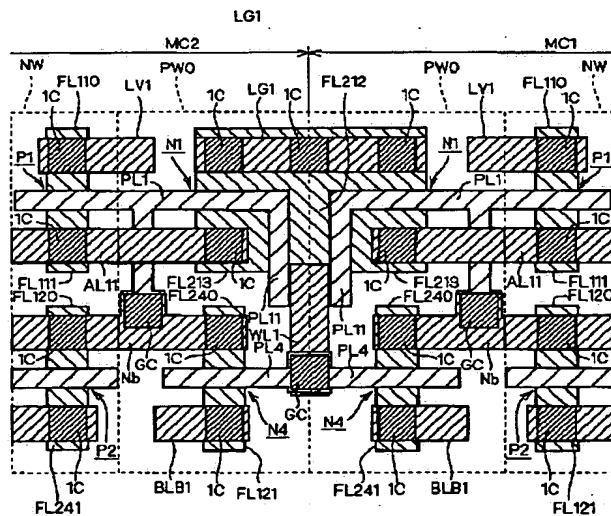
 The diagram illustrates the complex layering and interconnections of the semiconductor device, with various materials and structures labeled for identification.

FL110, FL111, FL120, FL121: P⁺拡張領域
FL210, FL211, FL220, FL221, FL230, FL231, FL240, FL241: N⁺拡張領域
NW: Nウェル領域
PW0, PW1: Pウェル領域

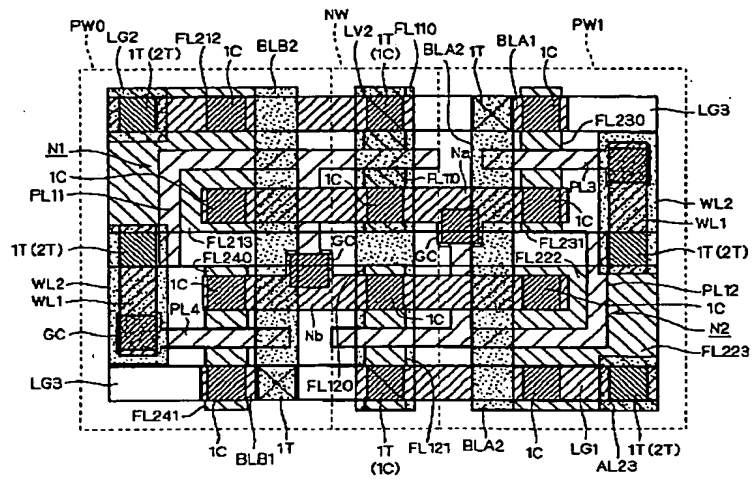
【图7】



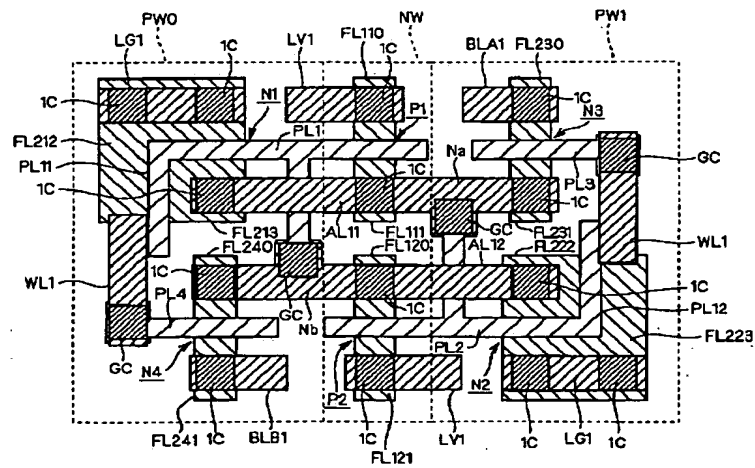
I1, I2 : CMOSインバータ
N1, N2 : NMOSトランジスタ (ドライバトランジスタ)
N3, N4 : NMOSトランジスタ (アクセストランジスタ)
P1, P2 : PMOSトランジスタ (ドライバトランジスタ)
WL : ワード線
BLA, BLB : ビット線



【図5】

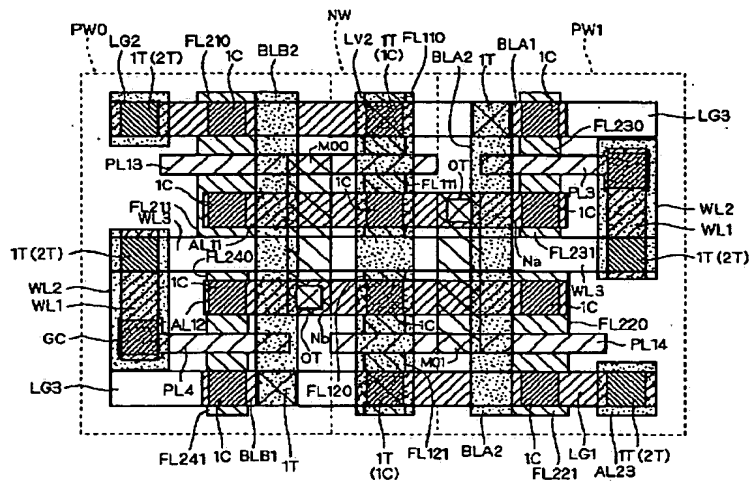


【図6】



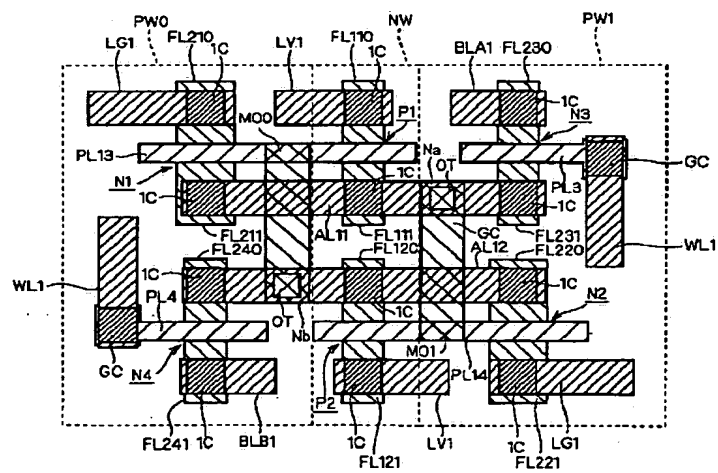
FL212, FL213, FL222, FL223: N⁺拡散領域

【図8】

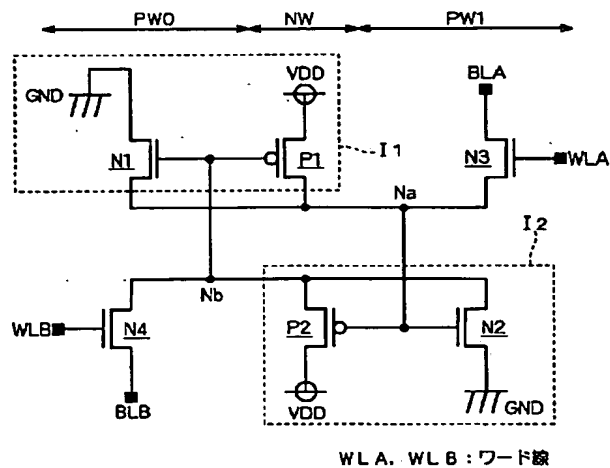


MO0, MO1: 高抵抗金属配線

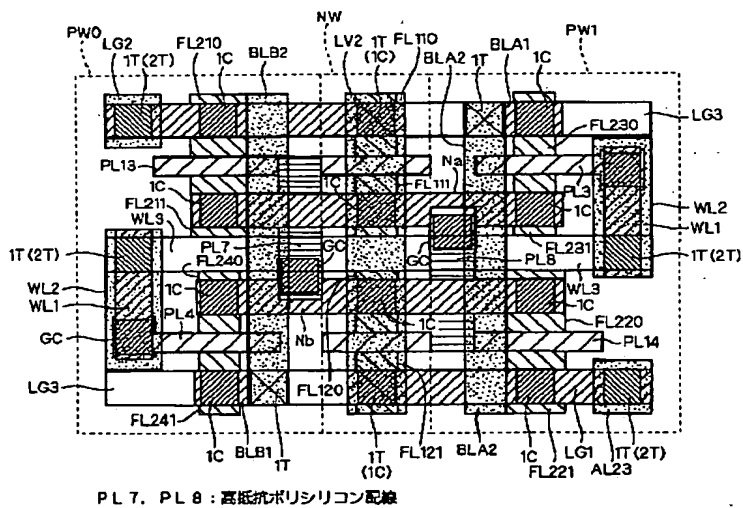
【図9】



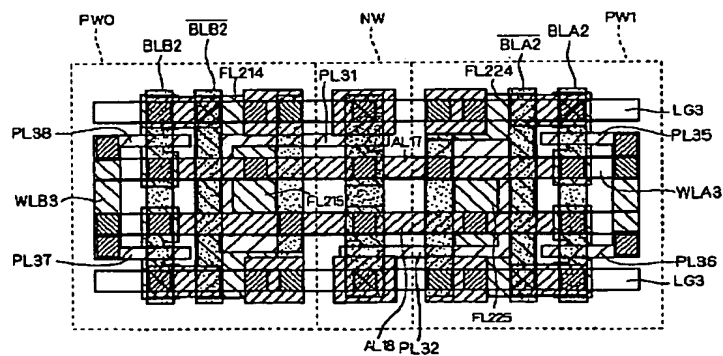
【圖 15】



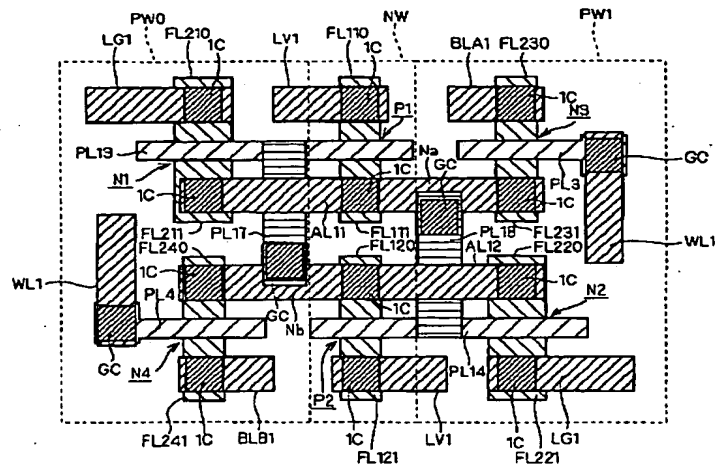
【圖 11】



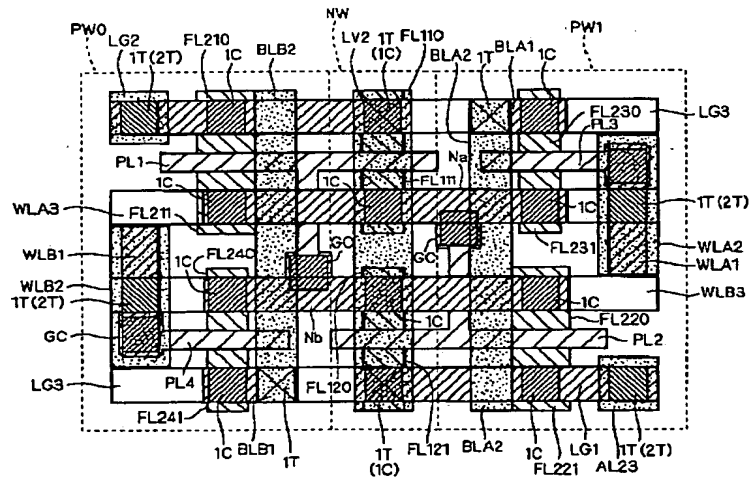
【圖 26】



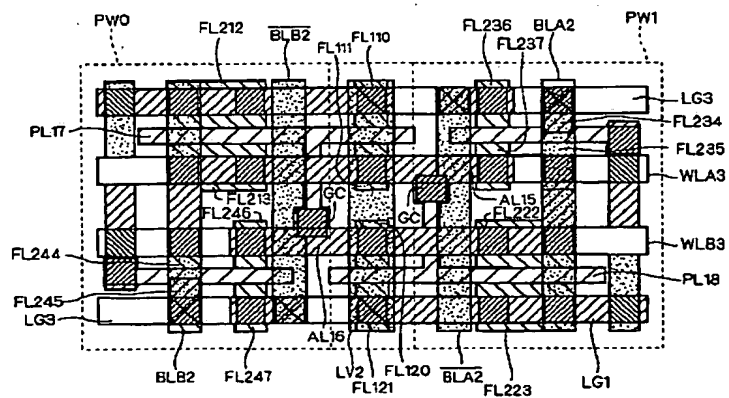
【図12】



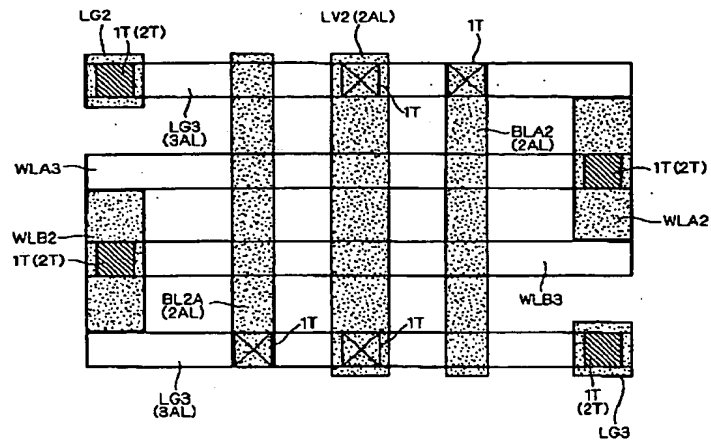
【図13】



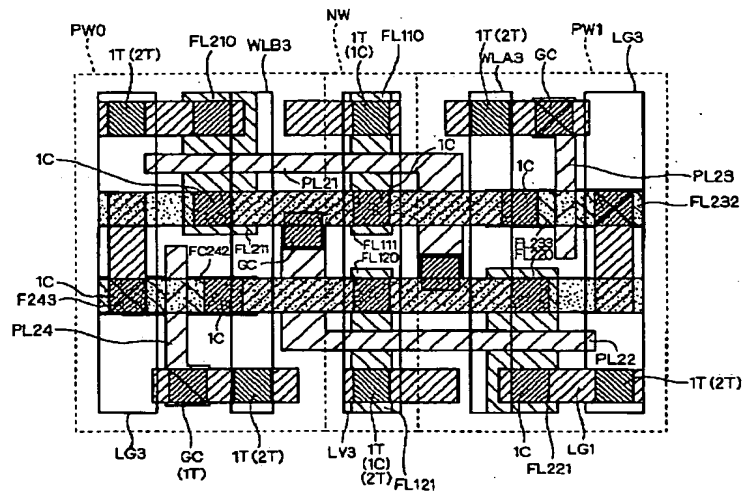
【図22】



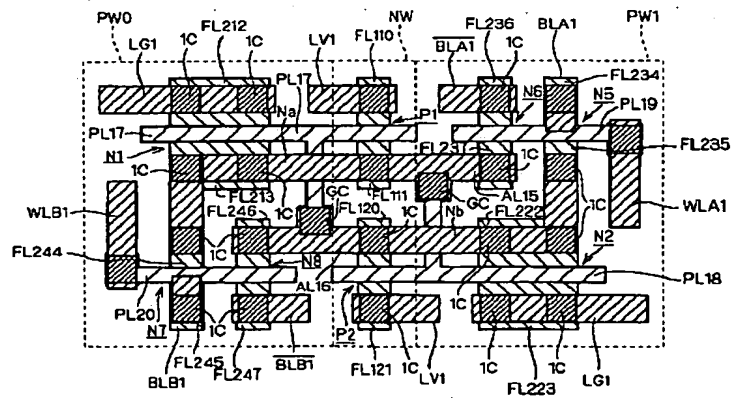
【図14】



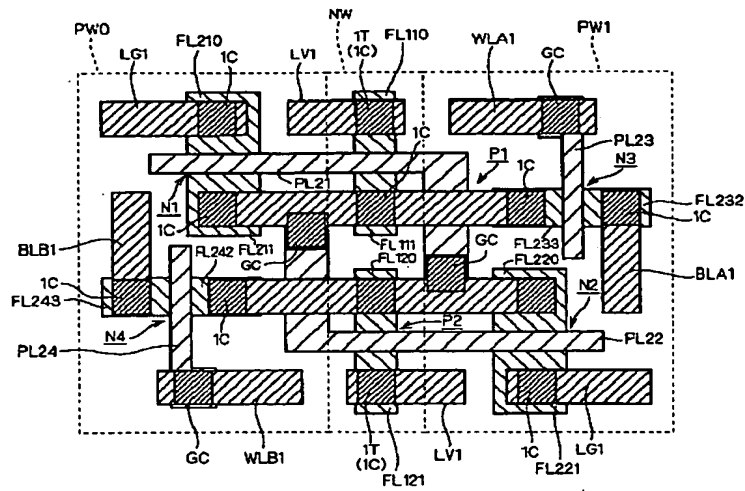
【図16】



【図23】

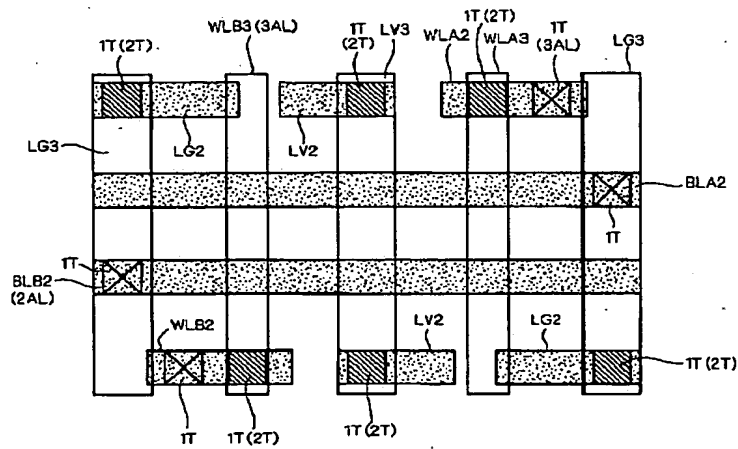


【図17】

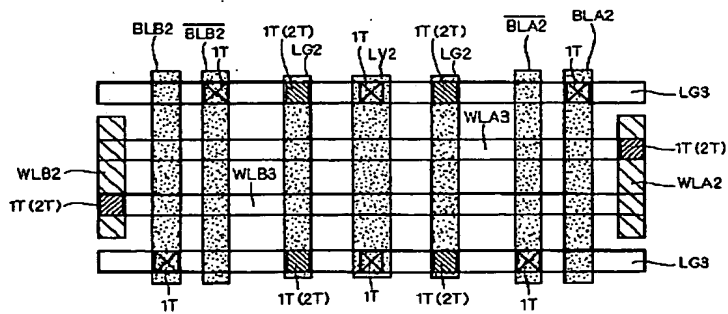


FL232, FL233, FL242, FL243: N⁺拡散領域

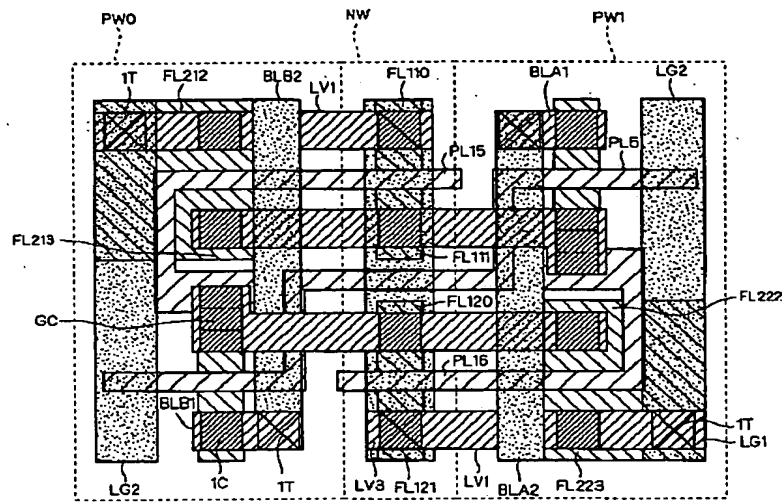
【図18】



【図28】

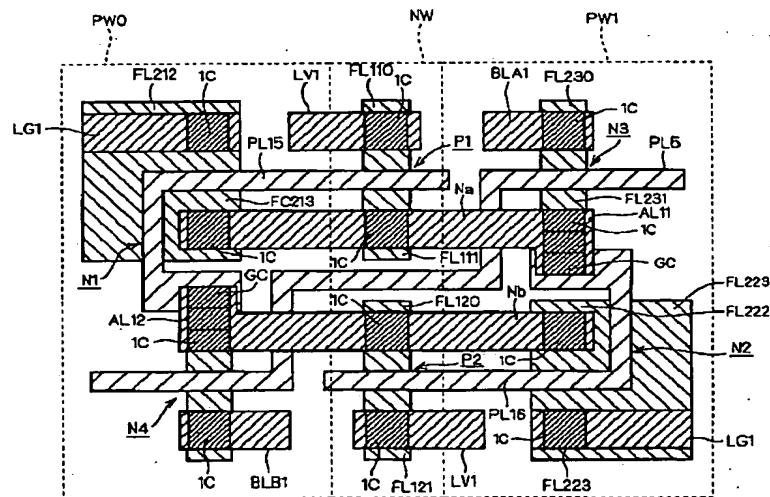


【圖 19】

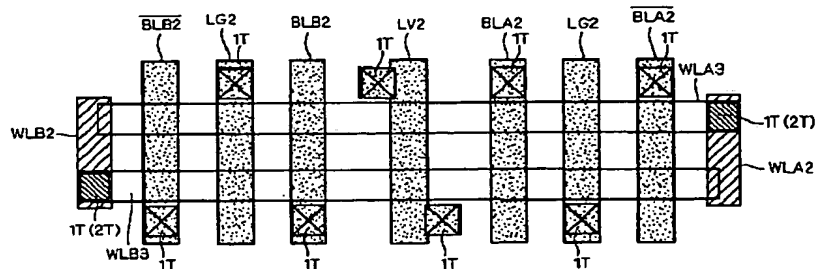


PL 5 : 共用ポリシリコン配線

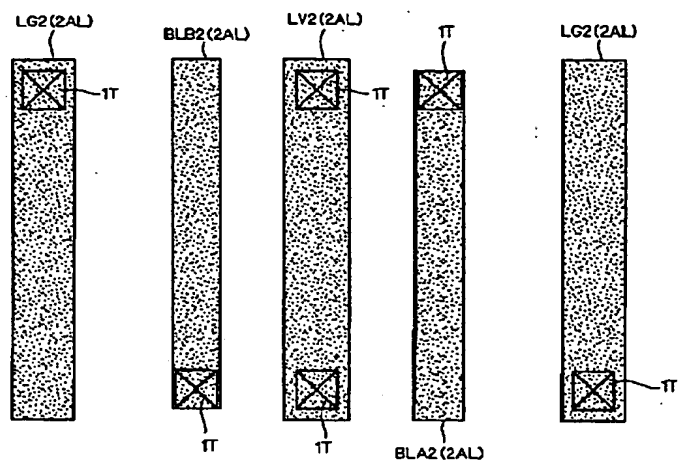
【圖 20】



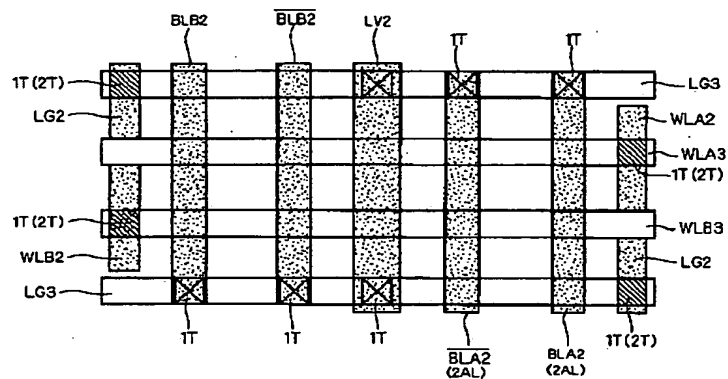
【图 3 1】



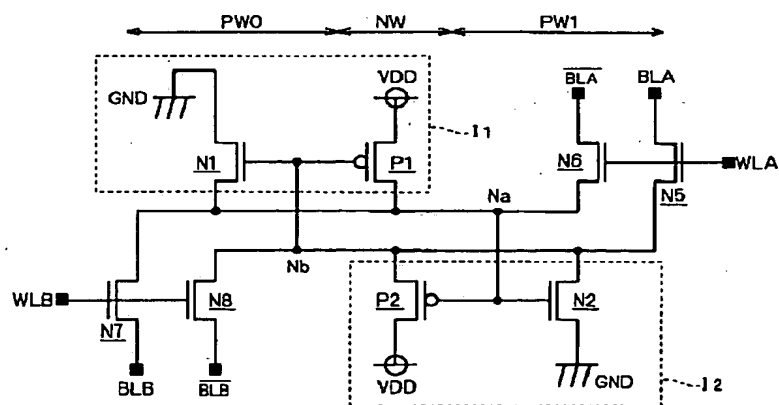
【図21】



【図24】



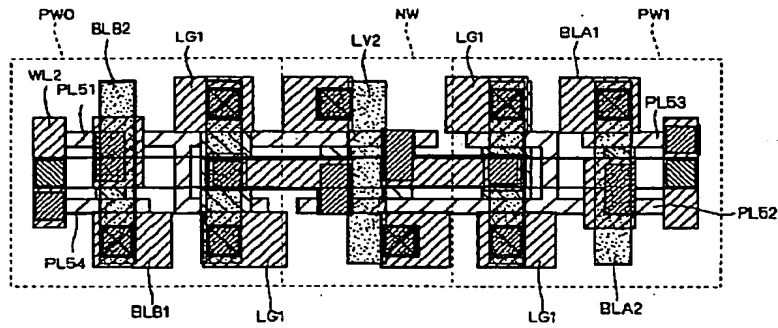
【図25】



BLA, BLA, BLB, BLB: ビット線
N5~N8: NMOSトランジスタ (アクセストランジスタ)

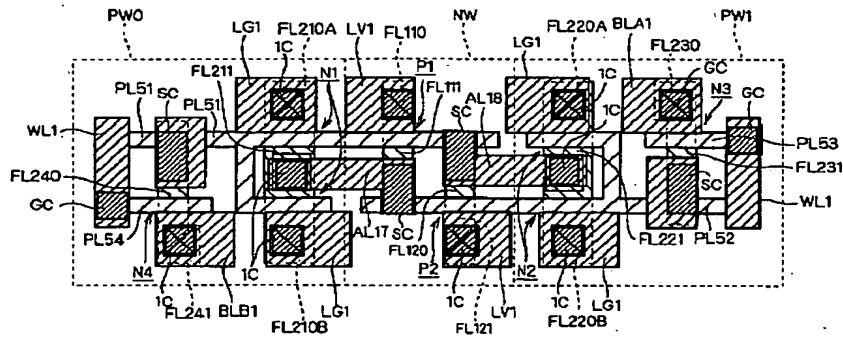
[illegible]

【図32】

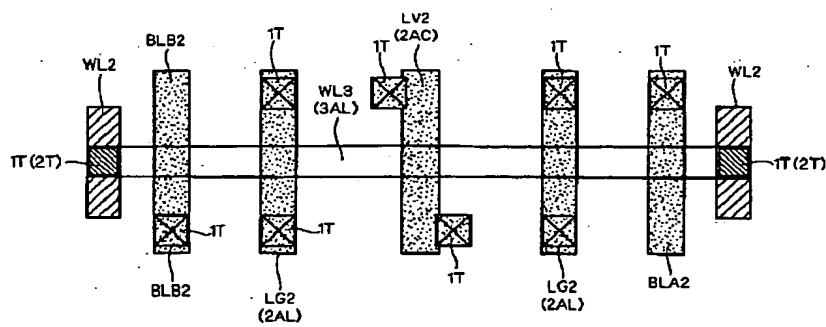


PL51, PL52: ポリシリコン配線

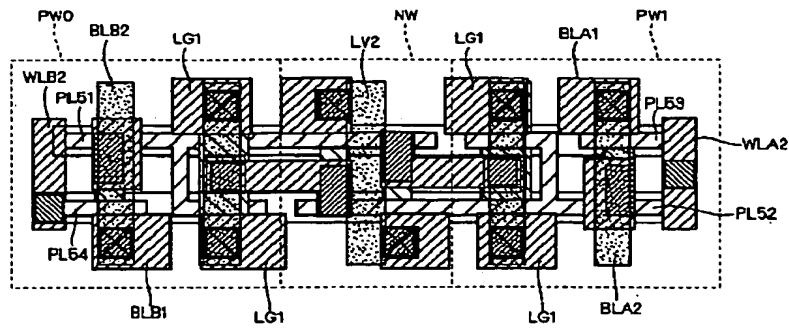
【図33】



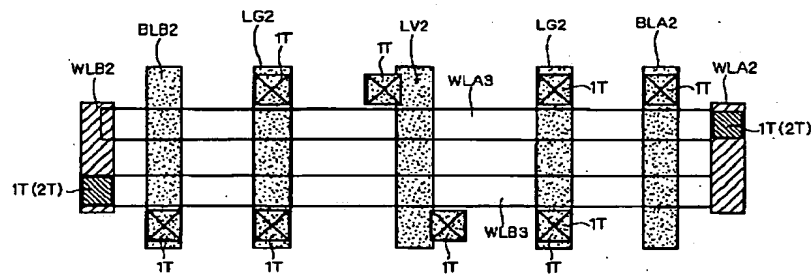
【図34】



【図35】



【図36】



【図37】

